

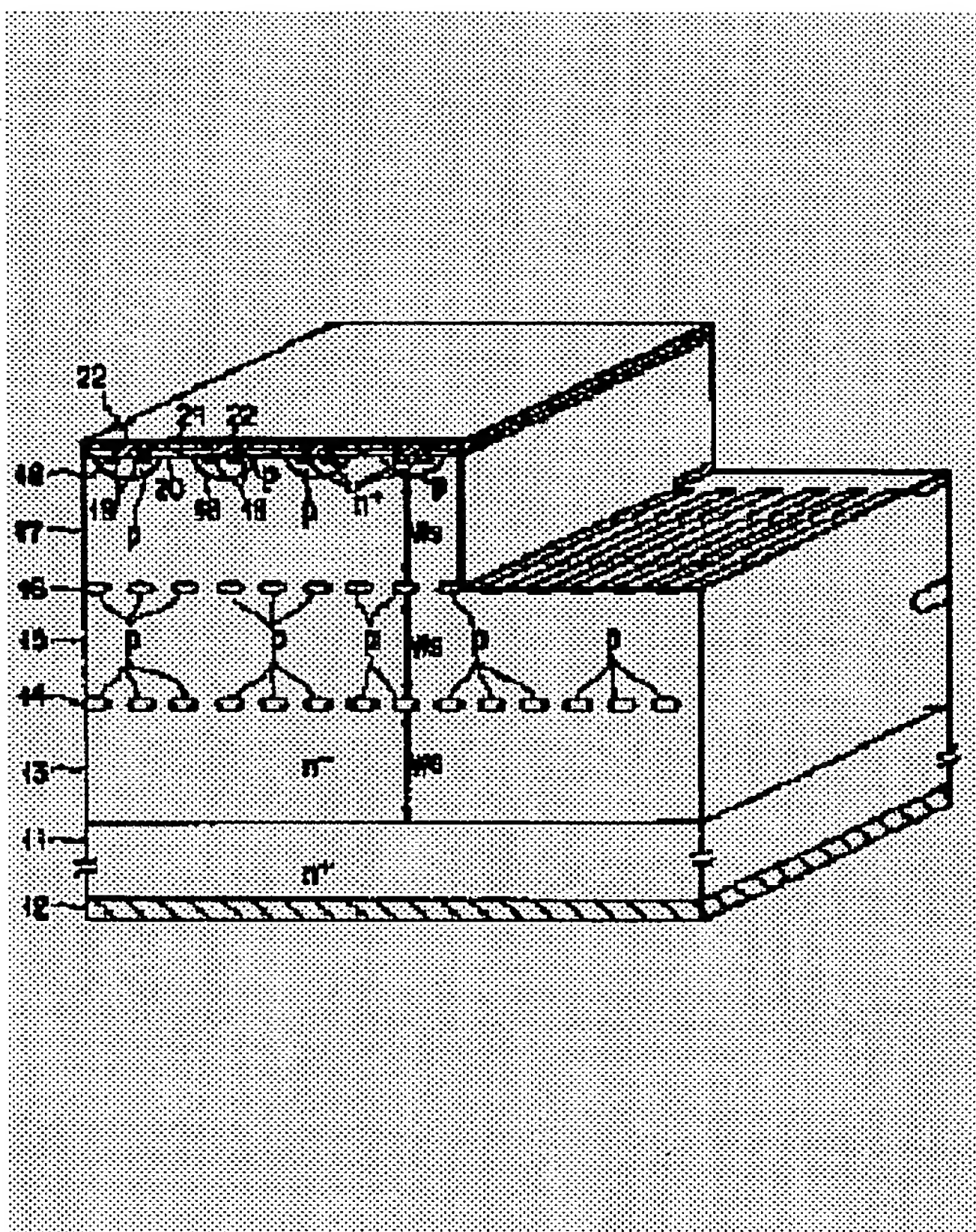
SEMICONDUCTOR DEVICE

Patent number: JP9191109
Publication date: 1997-07-22
Inventor: OMURA ICHIRO; INOUE TOMOKI; OHASHI HIROMICHI
Applicant: TOSHIBA CORP
Classification:
- international: H01L29/78
- european:
Application number: JP19960293966 19961106
Priority number(s):

Abstract of JP9191109

PROBLEM TO BE SOLVED: To provide a semiconductor device having high breakdown strength in which voltage drop is reduced under on state by forming a second conductivity type buried layer having a gap serving as a current path and a potential different from any electrode of semiconductor device when a depletion layer extending from the vicinity of a main electrode is reached in a first conductivity type semiconductor layer.

SOLUTION: An n-type base layer 15 and a p-type buried layer 16 are formed sequentially on a p-type buried layer 14. Each of the p-type buried layer 14, 16 is formed to satisfy a relationship $5t > W$ between the thickness (t) and the interval W thus widening the current path. When the applying voltage reaches 200V, an n-type base layer 17 is depleted as a depletion layer extends to the upper p-type buried layer 16 which thereby enters into punch through state and the potential is fixed. When the applying voltage exceeds 200V, a new depletion layer spreads from the p-type buried layer 16 toward the drain electrode 12 side into an intermediate n-type base layer 15 and a strongest point of field appears on the p-type buried layer 16 side.



Data supplied from the *esp@cenet* database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-191109

(43)公開日 平成9年(1997)7月22日

(51)Int.Cl. ⁹	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 29/78		9447-4M	H 0 1 L 29/78	6 5 4 B
		9447-4M		6 5 2 H
		9447-4M		6 5 4 C
		9447-4M		6 5 5 B

審査請求 未請求 請求項の数14 OL (全 29 頁)

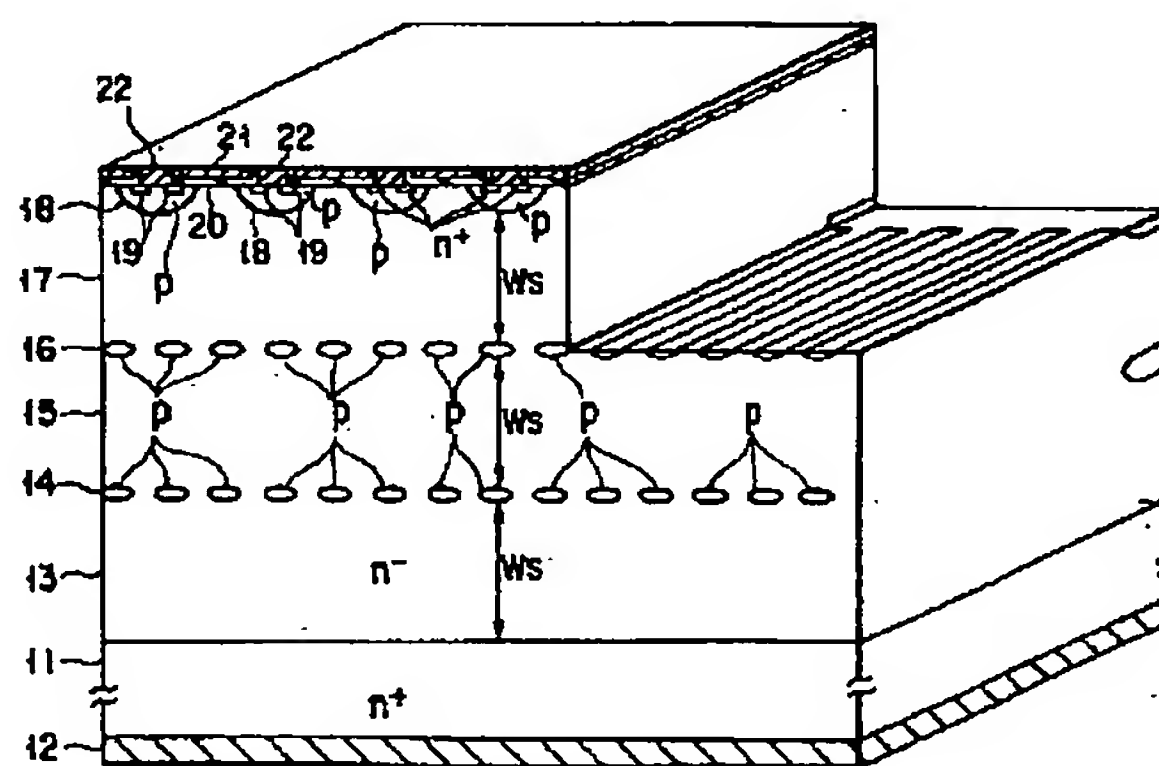
(21)出願番号	特願平8-283966	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成8年(1996)11月6日	(72)発明者	大村 一郎 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝研究開発センター内
(31)優先権主張番号	特願平7-287182	(72)発明者	井上 智樹 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝研究開発センター内
(32)優先日	平7(1995)11月6日	(72)発明者	大橋 弘通 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝研究開発センター内
(33)優先権主張国	日本(JP)	(74)代理人	弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 本発明は、高耐圧であってもオン状態での電圧降下の低下を図る。

【解決手段】 第1の主電極（12）と、第2の主電極（22）と、前記第1の主電極と前記第2の主電極との間に介在して設けられた高抵抗の第1導電型半導体層（13，15，17）と、前記第1の主電極と第2の主電極とを結ぶ方向とは略直交する層であって、電流経路となる複数の間隙を有し、第1の主電極付近から伸びる空乏層が達したときに半導体装置本体のどの電極とも異なる電位となる、前記第1導電型半導体層中に選択的に形成された第2導電型埋込み層（14，16）とを備えた半導体装置。



【特許請求の範囲】

【請求項1】第1の主電極と、

第2の主電極と、

前記第1の主電極と前記第2の主電極との間に介在して設けられた高抵抗の第1導電型半導体層と、

前記第1の主電極と第2の主電極とを結ぶ方向とは略直交する層であって、電流経路となる複数の間隙を有し、前記第1の主電極付近から伸びる空乏層が達したときに半導体装置本体のどの電極とも異なる電位となる、前記第1導電型半導体層中に選択的に形成された第2導電型埋込み層とを備えたことを特徴とする半導体装置。

【請求項2】第1の主電極と、

第2の主電極と、

前記第1の主電極と前記第2の主電極との間に介在して設けられた高抵抗の第1導電型半導体層と、

前記第1導電型半導体層に接して設けられ、前記第1の主電極から前記第2の主電極へ流れる電流を制御するための制御電極を有する電流制御構造と、

前記第1の主電極と前記第2の主電極とを結ぶ方向とは略直交する層であって、前記第1導電型半導体層中に選択的に形成された第2導電型埋込み層とを備えたことを特徴とする半導体装置。

【請求項3】ドレイン層と、

このドレイン層の表面上に形成されたドレイン電極と、前記ドレイン層における前記ドレイン電極とは反対側の面に形成された高抵抗の第1導電型半導体層と、

この第1導電型半導体層の前記ドレイン層を形成した側とは反対側の表面上に選択的に形成された第2導電型ベース層と、

この第2導電型ベース層の表面に選択的に形成された第1導電型ソース層と、

この第1導電型ソース層と前記第2導電型ベース層とに形成されたソース電極と、

前記第1導電型ソース層と前記第2導電型ベース層と前記第1導電型半導体層とにゲート絶縁膜を介して接するゲート電極と、

前記ドレイン電極と前記ソース電極とを結ぶ方向とは略直交する層であって、電流経路となる複数の間隙を有して前記第1導電型半導体層中に選択的に形成された第2導電型埋込み層とを備えたことを特徴とする半導体装置。

【請求項4】 請求項3に記載の半導体装置であって、前記ゲート絶縁膜と前記ゲート電極とは、前記第2導電型ベース層を貫通し、前記第1導電型半導体層の途中の深さまで達する溝内に形成されていることを特徴とする半導体装置。

【請求項5】 請求項1乃至請求項3のいずれか1項に記載の半導体装置であって、前記第2導電型埋込み層はメッシュ形状を有することを特徴とする半導体装置。

【請求項6】 請求項1乃至請求項3のいずれか1項に記載の半導体装置であって、

前記第2導電型埋込み層はストライプ形状を有することを特徴とする半導体装置。

【請求項7】 請求項3に記載の半導体装置であって、前記ドレイン層は第1導電型であることを特徴とする半導体装置。

【請求項8】 請求項3に記載の半導体装置であって、前記ドレイン層は第2導電型であることを特徴とする半導体装置。

【請求項9】 請求項2に記載の半導体装置であって、前記第2導電型埋込み層は、前記制御電極とは異なる電位であることを特徴とする半導体装置。

【請求項10】 請求項1又は請求項2に記載の半導体装置であって、

前記第1の主電極と前記第2の主電極との間の耐圧BVと、

前記第1の主電極と前記第2の主電極との間における前記第2導電型埋込み層の層数Mと、

これら第2導電型埋込み層により(M+1)層に分割された第1導電型半導体層のうち、前記第1の主電極に最も近い第1導電型半導体層の分担する電圧V₁と、前記第1の主電極に最も近い第1導電型半導体層の不純物濃度N₁と、前記第1の主電極に最も近い第1導電型半導体層の厚さW₁と、前記各第2導電型埋込み層により(M+1)層に分割された第1導電型半導体層のうち、前記第2の主電極に最も近い第1導電型半導体層の分担する電圧V₂と、前記第2の主電極に最も近い第1導電型半導体層の不純物濃度N₂と、

前記各第2導電型埋込み層により(M+1)層に分割された第1導電型半導体層のうち、前記第1の主電極及び

前記第2の主電極から離れた(M-1)層の第1導電型半導体層の分担する電圧V_sと、前記(M-1)層の第1導電型半導体層の不純物濃度N_sと、前記(M-1)層の第1導電型半導体層の厚さW_sとが下記式の関係にあることを特徴とする半導体装置。

$$V_s = (BV - V_1 - V_2) / (M - 1) \quad [V]$$

$$V_1 \geq V_s$$

$$V_2 \geq V_s$$

$$N_1 < 1.897 \times 10^{18} \times V_1^{-1.35} \quad [cm^{-3}]$$

$$N_2 < 1.897 \times 10^{18} \times V_2^{-1.35} \quad [cm^{-3}]$$

$$N_s < 1.897 \times 10^{18} \times V_s^{-1.35} \quad [cm^{-3}]$$

$$W_1 < 1.1247 \times 10^{10} \times N_1^{-0.85} \quad [cm]$$

$$W_s < 1.1247 \times 10^{10} \times N_s^{-0.85} \quad [cm]$$

【請求項11】 請求項3に記載の半導体装置であって、

前記ソース電極と前記ドレイン電極との間の耐圧BV

と、
 前記ソース電極と前記ドレイン電極との間における前記第2導電型埋込み層の層数Mと、
 これら第2導電型埋込み層により(M+1)層に分割された第1導電型半導体層のうち、前記第2導電型ベース層に接する第1導電型半導体層の分担する電圧 V_1 と、
 前記第2導電型ベース層に接する第1導電型半導体層の不純物濃度 N_1 と、
 前記第2導電型ベース層に接する第1導電型半導体層の厚さ W_1 と、
 前記各第2導電型埋込み層により(M+1)層に分割された第1導電型半導体層のうち、前記ドレイン層に接する第1導電型半導体層の分担する電圧 V_2 と、
 前記ドレイン層に接する第1導電型半導体層の不純物濃度 N_2 と、
 前記各第2導電型埋込み層により(M+1)層に分割された第1導電型半導体層のうち、前記第2導電型ベース層及び前記ドレイン層の双方に接しない(M-1)層の第1導電型半導体層の分担する電圧 V_s と、
 前記(M-1)層の第1導電型半導体層の不純物濃度 N_s と、

前記(M-1)層の第1導電型半導体層の厚さ W_s とが下記式の関係にあることを特徴とする半導体装置。

$$V_s = (BV - V_1 - V_2) / (M - 1) \quad [V]$$

$$V_1 \geq V_s$$

$$V_2 \geq V_s$$

$$N_1 < 1.897 \times 10^{18} \times V_1^{-1.35} \quad [cm^{-3}]$$

$$N_2 < 1.897 \times 10^{18} \times V_2^{-1.35} \quad [cm^{-3}]$$

$$N_s < 1.897 \times 10^{18} \times V_s^{-1.35} \quad [cm^{-3}]$$

$$W_1 < 1.1247 \times 10^{10} \times N_1^{-0.85} \quad [cm]$$

$$W_s < 1.1247 \times 10^{10} \times N_s^{-0.85} \quad [cm]$$

【請求項12】 請求項1乃至請求項3のいずれか1項に記載の半導体装置であって、

前記第2導電型埋込み層を取り囲むように略方形状に形成された第2導電型ガードリング領域を備えたことを特徴とする半導体装置。

【請求項13】 請求項1乃至請求項3のいずれか1項に記載の半導体装置であって、

前記第2導電型埋込み層を取り囲むように略方形状に形成され、前記第2導電型埋込み層のキャリア密度よりも低いキャリア密度を有する第2導電型リサーフ領域を備えたことを特徴とする半導体装置。

【請求項14】 請求項1乃至請求項3のいずれか1項に記載の半導体装置であって、

前記第1導電型半導体層の終端部は傾斜を有するベベル構造に形成されたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、大電力の制御に用いられる半導体装置に係わり、特に、オン状態での電圧

降下を低下し得る半導体装置に関する。

【0002】

【従来の技術】最近、電力制御用の半導体装置としてSi MOSFETが広く用いられている。このMOSFETは、ユニポーラ素子であり、高速性、制御の容易性などの種々の利点を有している。

【0003】図49はこの種のMOSFETの構成を示す模式図である。このMOSFETは、n型ドレイン層としてのn型基板301上にn型ベース層302が形成され、n型ベース層302の表面には複数のp型ベース層303が選択的に拡散形成されており、各p型ベース層303の表面にはn型ソース層304が選択的に形成されている。

【0004】p型ベース層303及びn型ソース層304からn型ベース層302を介して他方のp型ベース層303及びn型ソース層304に至る領域上には、ゲート絶縁膜305を介して、ゲート電極306が設けられている。また、ゲート電極306を挟むように、一方のp型ベース層303上及びn型ソース層304上と、他方のp型ベース層303上及びn型ソース層304上とは各々ソース電極307が形成されている。

【0005】また、n型基板301は、n型ベース層302とは反対側の表面上にドレイン電極308が形成されている。

【0006】このようなMOSFETは、1種類のキャリアが伝導に寄与するユニポーラデバイスである。よって、MOSFETの抵抗を低下させるためには、n型ベース層302の不純物濃度を増加させて抵抗率を低下させ、n型ベース層302の厚さを薄くすることが要求される。

【0007】しかしながら、n型ベース層302の不純物濃度を増加させると、MOSFETのオフ状態でp型ベース層303の直下に形成される電界強度の最大値が大きくなる。このため、MOSFETでは、この電界強度の最大値がn型ベース層302の電界強度の限界値を越えないようにn型ベース層302中の不純物濃度が抑制される必要がある。また、MOSFETは、耐圧がn型ベース層302中の不純物の総量によって決定されるので、耐圧を向上させるときにはn型ベース層302が厚く形成される。このため、高耐圧MOSFETではオン状態での電圧降下が急激に大きくなる。

【0008】まとめると、この種のMOSFETは、耐圧の向上とオン抵抗の低下が望まれており、耐圧の向上にはn型ベース層302の厚さWを厚くする方式か、n型ベース層302のキャリア密度Nを低下させる方式がある。

【0009】しかしながら、これらの方式は、図50の実線で示すように、耐圧を1桁も向上させないうちに、オン抵抗を2桁程度も増加させてしまうことが理論的に求められている。すなわち、図50の実線によれば、S

iの物性値から求められる理論限界であり、耐圧の高いMOSFETはIGBT等に比べてオン抵抗も高いことが理論的に分かっている。

【0010】次に、MOSFETと同様に電力制御に用いられるバイポーラトランジスタ（以下、BJTという）及びIGBTについて順次説明する。

【0011】図51はバイポーラトランジスタの構成を模式的に示す断面図である。このBJTは、n型コレクタ層としてのn型基板311上にn型ベース層312が形成されている。n型ベース層312の表面にはp型ベース層313が選択的に拡散形成されている。p型ベース層313の表面にはn型エミッタ層314が選択的に形成されている。p型ベース層313上にはベース電極315が形成されている。n型エミッタ層314上にはエミッタ電極316が形成されている。

【0012】また、n型基板311には、n型ベース層312とは反対側の表面上にコレクタ電極317が形成されている。

【0013】このようなBJTは、n型ベース層312中を流れる電流の大部分が電子によるので、MOSFETと同様に、耐圧の上昇に従って急激にオン状態での電圧降下が増大してしまう。

【0014】また一方、IGBTのように高抵抗のn型ベース層を高注入状態にして、オン状態での電圧降下を低下させる試みがなされている。

【0015】図52はIGBTの構成を模式的に示す断面図である。このIGBTは、高抵抗のn型ベース層321の表面には複数のp型ベース層322が選択的に形成されている。各p型ベース層322の表面にはn型ソース層323が選択的に拡散形成されている。p型ベース層322およびn型ソース層323からn型ベース層321を介して他方のp型ベース層322に至る領域上には、ゲート絶縁膜324を介して、ゲート電極325が設けられている。また、ゲート電極325を挟むように、一方のp型ベース層322上およびn型ソース層323上と、他方のp型ベース層322上およびn型ソース層323上とは各々ソース電極326が形成されている。また、n型ベース層321の裏面にはp型ドレイン層327を介してドレイン電極328が形成されている。

【0016】このようなIGBTは、ゲート電極325に正の電圧が印加されると、p型ベース層322のゲート電極325下の部分にn型の反転層が形成され、n型ベース層321とn型ソース層323とが短絡される。よって、n型ベース層321中に電子が注入され、その電子の量に応じてp型ドレイン層327から正孔が注入されてn型ベース層321が高注入状態となりIGBTがオン状態となる。このオン状態のときには、n型ベース層321が高注入状態であるため、n型ベース層321の抵抗率が高くてもIGBTの抵抗が低くなる。

【0017】

【発明が解決しようとする課題】しかしながら、このIGBTは、ソース電極326とドレイン電極328との間に、n型ベース層321とp型ドレイン層327の拡散電位差以上の電圧が印加されなければ電流が流れない。従って、このIGBTは、図53に示すように、電流値が低いときにはMOSFETに比べてオン状態での電圧降下が高くなり、通電損失が大きくなる。

【0018】詳しくは、MOSFET又はBJTは、耐圧が高くなるにしたがって、オン状態での電圧降下が急激に増大する問題がある。一方、IGBTは低電流状態のときに通電損失が大きくなる問題がある。

【0019】本発明は上記実情を考慮してなされたもので、高耐圧であってもオン状態での電圧降下を低下し得る半導体装置を提供することを目的とする。

【0020】

【課題を解決するための手段】請求項1に対応する発明は、第1の主電極と、第2の主電極と、前記第1の主電極と前記第2の主電極との間に介在して設けられた高抵抗の第1導電型半導体層と、前記第1の主電極と第2の主電極とを結ぶ方向とは略直交する層であって、電流経路となる複数の間隙を有し、前記第1の主電極付近から伸びる空乏層が達したときに半導体装置本体のどの電極とも異なる電位となる、前記第1導電型半導体層中に選択的に形成された第2導電型埋込み層とを備えた半導体装置である。

【0021】また、請求項2に対応する発明は、第1の主電極と、第2の主電極と、前記第1の主電極と前記第2の主電極との間に介在して設けられた高抵抗の第1導電型半導体層と、前記第1導電型半導体層に接して設けられ、前記第1の主電極から前記第2の主電極へ流れる電流を制御するための制御電極を有する電流制御構造と、前記第1の主電極と前記第2の主電極とを結ぶ方向とは略直交する層であって、前記第1導電型半導体層中に選択的に形成された第2導電型埋込み層とを備えた半導体装置である。

【0022】さらに、請求項3に対応する発明は、ドレイン層と、このドレイン層の表面上に形成されたドレイン電極と、前記ドレイン層における前記ドレイン電極とは反対側の面に形成された高抵抗の第1導電型半導体層と、この第1導電型半導体層の前記ドレイン層を形成した側とは反対側の表面上に選択的に形成された第2導電型ベース層と、この第2導電型ベース層の表面に選択的に形成された第1導電型ソース層と、この第1導電型ソース層と前記第2導電型ベース層とに形成されたソース電極と、前記第1導電型ソース層と前記第2導電型ベース層と前記第1導電型半導体層とにゲート絶縁膜を介して接するゲート電極と、前記ドレイン電極と前記ソース電極とを結ぶ方向とは略直交する層であって、電流経路となる複数の間隙を有して前記第1導電型半導体層中に

選択的に形成された第2導電型埋込み層とを備えた半導体装置である。

【0023】また、請求項4に対応する発明は、請求項3に対応する半導体装置であって、前記ゲート絶縁膜と前記ゲート電極とは、前記第2導電型ベース層を貫通し、前記第1導電型半導体層の途中の深さまで達する溝内に形成されている半導体装置である。

【0024】さらに、請求項5に対応する発明は、請求項1乃至請求項3のいずれか1項に対応する半導体装置であって、前記第2導電型埋込み層がメッシュ形状を有する半導体装置である。

【0025】また、請求項6に対応する発明は、請求項1乃至請求項3のいずれか1項に対応する半導体装置であって、前記第2導電型埋込み層がストライプ形状を有する半導体装置である。

【0026】さらに、請求項7に対応する発明は、請求項3に対応する半導体装置であって、前記ドレイン層が第1導電型である半導体装置である。

【0027】また、請求項8に対応する発明は、請求項3に対応する半導体装置であって、前記ドレイン層が第2導電型である半導体装置である。

【0028】さらに、請求項9に対応する発明は、請求項2に対応する半導体装置であって、前記第2導電型埋込み層が前記制御電極とは異なる電位である半導体装置である。

【0029】また、請求項10に対応する発明は、請求項1又は請求項2に対応する半導体装置であって、前記第1の主電極と前記第2の主電極との間の耐圧BVと、前記第1の主電極と前記第2の主電極との間における前記第2導電型埋込み層の層数Mと、これら第2導電型埋込み層により(M+1)層に分割された第1導電型半導体層のうち、前記第1の主電極に最も近い第1導電型半導体層の分担する電圧 V_1 と、前記第1の主電極に最も近い第1導電型半導体層の不純物濃度 N_1 と、前記第1の主電極に最も近い第1導電型半導体層の厚さ W_1 と、前記各第2導電型埋込み層により(M+1)層に分割された第1導電型半導体層のうち、前記第2の主電極に最も近い第1導電型半導体層の分担する電圧 V_2 と、前記第2の主電極に最も近い第1導電型半導体層の不純物濃度 N_2 と、前記各第2導電型埋込み層により(M+1)層に分割された第1導電型半導体層のうち、前記第1の主電極及び前記第2の主電極から離れた(M-1)層の第1導電型半導体層の分担する電圧 V_s と、前記(M-1)層の第1導電型半導体層の不純物濃度 N_s と、前記(M-1)層の第1導電型半導体層の厚さ W_s とが下記式の関係にある半導体装置である。

【0030】

$$V_s = (BV - V_1 - V_2) / (M - 1) \quad [V]$$

$$V_1 \geq V_s$$

$$V_2 \geq V_s$$

$$N_1 < 1.897 \times 10^{18} \times V_1^{-1.35} \quad [cm^{-3}]$$

$$N_2 < 1.897 \times 10^{18} \times V_2^{-1.35} \quad [cm^{-3}]$$

$$N_s < 1.897 \times 10^{18} \times V_s^{-1.35} \quad [cm^{-3}]$$

$$W_1 < 1.1247 \times 10^{10} \times N_1^{-0.85} \quad [cm]$$

$$W_s < 1.1247 \times 10^{10} \times N_s^{-0.85} \quad [cm]$$

さらに、請求項11に対応する発明は、請求項3に対応する半導体装置であって、前記ソース電極と前記ドレイン電極との間の耐圧BVと、前記ソース電極と前記ドレイン電極との間における前記第2導電型埋込み層の層数Mと、これら第2導電型埋込み層により(M+1)層に分割された第1導電型半導体層のうち、前記第2導電型ベース層に接する第1導電型半導体層の分担する電圧 V_1 と、前記第2導電型ベース層に接する第1導電型半導体層の不純物濃度 N_1 と、前記第2導電型ベース層に接する第1導電型半導体層の厚さ W_1 と、前記各第2導電型埋込み層により(M+1)層に分割された第1導電型半導体層のうち、前記ドレイン層に接する第1導電型半導体層の分担する電圧 V_2 と、前記ドレイン層に接する第1導電型半導体層の不純物濃度 N_2 と、前記各第2導電型埋込み層により(M+1)層に分割された第1導電型半導体層のうち、前記第2導電型ベース層及び前記ドレイン層の双方に接しない(M-1)層の第1導電型半導体層の分担する電圧 V_s と、前記(M-1)層の第1導電型半導体層の不純物濃度 N_s と、前記(M-1)層の第1導電型半導体層の厚さ W_s とが下記式の関係にある半導体装置である。

【0031】

$$V_s = (BV - V_1 - V_2) / (M - 1) \quad [V]$$

$$V_1 \geq V_s$$

$$V_2 \geq V_s$$

$$N_1 < 1.897 \times 10^{18} \times V_1^{-1.35} \quad [cm^{-3}]$$

$$N_2 < 1.897 \times 10^{18} \times V_2^{-1.35} \quad [cm^{-3}]$$

$$N_s < 1.897 \times 10^{18} \times V_s^{-1.35} \quad [cm^{-3}]$$

$$W_1 < 1.1247 \times 10^{10} \times N_1^{-0.85} \quad [cm]$$

$$W_s < 1.1247 \times 10^{10} \times N_s^{-0.85} \quad [cm]$$

また、請求項12に対応する発明は、請求項1乃至請求項3のいずれか1項に対応する半導体装置であって、前記第2導電型埋込み層を取り囲むように略方形状に形成された第2導電型ガードリング領域を備えた半導体装置である。

【0032】さらに、請求項13に対応する発明は、請求項1乃至請求項3のいずれか1項に対応する半導体装置であって、前記第2導電型埋込み層を取り囲むように略方形状に形成され、前記第2導電型埋込み層のキャリア密度よりも低いキャリア密度を有する第2導電型リサーフ領域を備えた半導体装置である。

【0033】また、請求項14に対応する発明は、請求項1乃至請求項3のいずれか1項に対応する半導体装置であって、前記第1導電型半導体層の終端部が、傾斜を有するベベル構造に形成された半導体装置である。

【0034】（作用）従って、請求項1に対応する発明は以上のような手段を講じたことにより、オフ状態の際に、印加電圧の増加に比例して空乏層が第1導電型半導体層中を第2の主電極側から第1の主電極側に広がり、この空乏層が第2導電型埋込み層に到達したとき、パンチスルー現象により、第2導電型埋込み層が当該空乏層中の電界強度を固定してその上昇を抑止するので、このときの電界強度の最大値を越える電界強度の限界値をもつ範囲で第1導電型半導体層の不純物濃度を増加させてオン抵抗を低下させることにより、高耐圧であってもオン状態での電圧降下を低下させることができる。

【0035】また、請求項2の発明によれば、請求項1に対応する作用に加え、電流制御構造により、第1の主電極から第2の主電極へ流れる電流を制御することができる。

【0036】さらに、請求項3の発明によれば、オフ状態の際に、印加電圧の増加に比例して空乏層が第2導電型ベース層からドレイン電極側に広がり、この空乏層が第2導電型埋込み層に到達したとき、パンチスルー現象により、第2導電型埋込み層が当該空乏層中の電界強度を固定してその上昇を抑止するので、このときの電界強度の最大値を越える電界強度の限界値をもつ範囲で第1導電型半導体層の不純物濃度を増加させてオン抵抗を低下させることにより、高耐圧であってもオン状態での電圧降下を低下させることができる。

【0037】また、請求項4の発明によれば、ゲート絶縁膜とゲート電極とが第2導電型ベース層を貫通し、第1導電型半導体層の途中の深さまで達する溝内に形成されているので、請求項3に対応する作用を奏するトレンチ構造の半導体装置を実現させることができる。

【0038】さらに、請求項5の発明によれば、請求項1乃至請求項3のいずれかに対応する作用に加え、第2導電型埋込み層がメッシュ形状を有しているため、ストライプ形状に比べて容易に高耐圧化させることができる。

【0039】また、請求項6の発明によれば、第2導電型埋込み層がストライプ形状を有しているため、請求項1乃至請求項3のいずれかと同様の作用を奏することができる。

【0040】さらに、請求項7の発明によれば、請求項3に対応する作用に加え、高耐圧であっても、オン状態での電圧降下を低下できるMOSFET等の半導体装置を実現させることができる。

【0041】また、請求項8の発明によれば、請求項3の効果に加え、ドレイン電極側に第2導電型ドレイン層を有するバイポーラ素子であっても、前述同様に、高耐圧であっても、オン状態での電圧降下を低下できるIGBT等の半導体装置を提供できる。

【0042】さらに、請求項9の発明によれば、第2導電型埋込み層が、制御電極とは異なる電位であり、電位

的に浮いた状態であるので、請求項2に対応する作用と同様の作用を奏することができる。

【0043】また、請求項10の発明によれば、第1の主電極と第2の主電極との間の耐圧BVと、第1の主電極と第2の主電極との間における第2導電型埋込み層の層数Mと、これら第2導電型埋込み層により(M+1)層に分割された第1導電型半導体層のうち、第1の主電極に最も近い第1導電型半導体層の分担する電圧 V_1 と、第1の主電極に最も近い第1導電型半導体層の不純物濃度 N_1 と、第1の主電極に最も近い第1導電型半導体層の厚さ W_1 と、各第2導電型埋込み層により(M+1)層に分割された第1導電型半導体層のうち、第2の主電極に最も近い第1導電型半導体層の分担する電圧 V_2 と、第2の主電極に最も近い第1導電型半導体層の不純物濃度 N_2 と、各第2導電型埋込み層により(M+1)層に分割された第1導電型半導体層のうち、第1の主電極及び第2の主電極から離れた(M-1)層の第1導電型半導体層の分担する電圧 V_s と、(M-1)層の第1導電型半導体層の不純物濃度 N_s と、(M-1)層の第1導電型半導体層の厚さ W_s との夫々の設計条件を所定の式にて明確化しているので、請求項1又は請求項2の効果に加え、確実に動作する素子を再現性よく形成することができる。

【0044】さらに、請求項11の発明によれば、ソース電極とドレイン電極との間の耐圧BVと、ソース電極とドレイン電極との間における第2導電型埋込み層の層数Mと、これら第2導電型埋込み層により(M+1)層に分割された第1導電型半導体層のうち、第2導電型ベース層に接する第1導電型半導体層の分担する電圧 V_1 と、第2導電型ベース層に接する第1導電型半導体層の不純物濃度 N_1 と、第2導電型ベース層に接する第1導電型半導体層の厚さ W_1 と、各第2導電型埋込み層により(M+1)層に分割された第1導電型半導体層のうち、ドレイン層に接する第1導電型半導体層の分担する電圧 V_2 と、ドレイン層に接する第1導電型半導体層の不純物濃度 N_2 と、各第2導電型埋込み層により(M+1)層に分割された第1導電型半導体層のうち、第2導電型ベース層及びドレイン層の双方に接しない(M-1)層の第1導電型半導体層の分担する電圧 V_s と、(M-1)層の第1導電型半導体層の不純物濃度 N_s と、(M-1)層の第1導電型半導体層の厚さ W_s との夫々の設計条件を所定の式にて明確化しているので、請求項3の効果に加え、確実に動作する素子を再現性よく形成することができる。

【0045】また、請求項12の発明によれば、第2導電型埋込み層を取り囲むように略方形状に形成された第2導電型ガードリング領域を備えた終端構造なので、請求項1乃至請求項3のいずれかの効果に加え、各第2導電型ガードリング領域により、半導体装置終端部における等電位線の間隔を広げて電界集中を緩和すると共に、

半導体装置終端部の耐圧劣化を阻止することができる。

【0046】さらに、請求項13の発明によれば、第2導電型埋込み層を取り囲むように略方形に形成され、第2導電型埋込み層のキャリア密度よりも低いキャリア密度を有する第2導電型リサーフ領域を備えたので、請求項1乃至請求項3のいずれかに対応する作用と同様の作用を奏することができる。

【0047】また、請求項14の発明によれば、請求項1乃至請求項3のいずれかに対応する作用に加え、第1導電型半導体層の終端部が、傾斜を有するベベル構造に形成されたことにより、pn接合終端の電界強度を緩和するベベル構造の利点を奏することができる。

【0048】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しながら説明する。なお、以下の実施形態では第1導電型をn型、第2導電型をp型としている。また、添付図面中の同類の参照符号は数多の図中の同等部分を示すものである。

【0049】（第1の実施の形態）図1は本発明の第1の実施の形態に係るMOSFETの構成を示す模式図である。このMOSFETは、n型ドレイン層としてのn型基板11上にドレイン電極12が形成されている。また、n型基板11におけるドレイン電極12とは反対側の表面には下段のn型ベース層13がエピタキシャル成長により形成され、下段のn型ベース層13の表面にはストライプ形状をもつ下側の（floating mesh layerとしての）p型埋込み層14が形成される。

【0050】下側のp型埋込み層14上には中段の第2のn型ベース層15がn型ベース層13と同様に形成され、中段のn型ベース層15の表面にはストライプ形状をもつ上側のp型埋込み層16が形成され、同様に、上側のp型埋込み層16上には上段のn型ベース層17が形成される。上段のn型ベース層17の表面には複数のp型ベース層18が選択的に拡散形成されており、各p型ベース層18の表面にはn型ソース層19が選択的に形成されている。

【0051】p型ベース層18及びn型ソース層19から上段のn型ベース層17を介して他方のp型ベース層18及びn型ソース層19に至る領域上には、Si酸化膜20を介して、ゲート電極21が設けられている。また、ゲート電極21を挟むように、一方のp型ベース層18上及びn型ソース層19上と、他方のp型ベース層18上及びn型ソース層19上とは各々ソース電極22が形成されている。

【0052】ここで、このMOSFETは耐圧BVが600Vである。

【0053】下段、中段及び上段のn型ベース層13、15、17の各々は、耐圧BV=600Vを電圧 $V_s = 200V$ ずつ分担するため、不純物濃度 $N_s < 1.897 \times 10^{18} \times V_s^{-1.35} [cm^{-3}]$ となっており、ここ

では前式に $V_s = 200$ を代入した結果に25%の余裕をみて不純物濃度 $N_s = 1 \times 10^{15} [cm^{-3}]$ となるように形成されている。なお、この不純物濃度 N_s は、従来よりも3倍程度増加された値となっている。

【0054】また、中段及び上段のn型ベース層15、17の各々は、厚さ $W_s < 1.1247 \times 10^{10} \times N_s^{-0.85} [cm]$ となっており、同様にこの式に $N_s = 1 \times 10^{15}$ を代入した結果に25%の余裕をみて厚さ $W_s = 14 \mu m$ となるように形成されている。

【0055】一方、下側及び上側のp型埋込み層14、16の各々は、図2に示すように、その厚さ t と、形成間隔 W との関係が $5t > W$ を満たすように形成されている。理由は、形成間隔 W が狭いと電流経路が狭くなってJFET効果によりオン抵抗の増大を招き、形成間隔 W が広いとp型埋込み層14、16を設けない素子と等価な構造となるからである。

【0056】また、下側及び上側のp型埋込み層14、16の各々は、下段乃至上段のn型ベース層13、15、17の各々の厚さを l_{bulk} としたとき、 $3W_s > tW/W_s$ の関係を満たすように形成される。これらp型埋込み層14、16は、電位的に浮いた状態を有し、それぞれストライプ状の複数のp型領域が終端部にて互いに接続されるように形成されている。

【0057】次に、このようなMOSFETの作用を説明する。

【0058】200V以下の印加電圧の場合、図3

(a)に示すように、通常のMOSFETと同様に、p型ベース層18からドレイン電極12側に向けて上段のn型ベース層17中に空乏層が広がり、p型ベース層18と上側のn型ベース層17との間の界面近傍に電界の最強点が発生する。

【0059】印加電圧が200Vに到達すると、図3

(b)に示すように、空乏層が上側のp型埋込み層16に到達したとき、n型ベース層17が空乏化し、p型埋込み層16がパンチスルー状態となって電位固定される。これにより、p型ベース層18側の電界の最強点の上昇が抑止される。なお、p型埋込み層16の全領域でパンチスルーする必要は無く、p型埋込み層16の一部でのみパンチスルーすればよい。

【0060】印加電圧が200Vを越えると、図3

(c)に示すように、新たに空乏層がこのp型埋込み層16からドレイン電極12側に向けて中段のn型ベース層15中を広がり、前述した電界の最強点とは別に、電界の最強点がp型埋込み層16側に発生する。

【0061】印加電圧が400Vに到達すると、図3

(d)に示すように、空乏層が下側のp型埋込み層14に到達し、p型埋込み層14がパンチスルー状態となって電位固定される。

【0062】以下同様に、印加電圧が400Vを越えると、図3(e)に示すように、このp型埋込み層14か

らドレイン電極12側に向けて下段のn型ベース層13中を空乏層が広がる。

【0063】印加電圧が600Vに到達すると、図3(f)に示すように、空乏層がn型基板11に到達する。なお、このような電界強度分布の2次元数値計算による算出結果を図4に示す。

【0064】このように、n型ベース層を3分割するように2つのp型埋込み層14, 16を設け、これら各p型埋込み層14, 16により各n型ベース層13, 15, 17における電界の最大強度を固定することにより各n型ベース層13, 15, 17に夫々200Vずつを分担させ、もって、耐圧600Vを実現することができる。

【0065】また、電界の最大強度を越える電界の限界値をもつ範囲でn型ベース層13, 15, 17の不純物濃度を増加させてオン抵抗を低下させるように素子を設計することにより、高耐圧であってもオン状態での電圧降下を低下させることができる。

【0066】詳述すると、本実施の形態に係るMOSFETにおいては、図5(a)に示すように、n型ベース層13, 15, 17の不純物濃度が $1 \times 10^{15} \text{ cm}^{-3}$ である。しかしながら、従来、この不純物濃度では耐圧250Vしか実現できず、図5(b)に示すように、耐圧600Vを実現するには約1/3の不純物濃度の $3.3 \times 10^{14} \text{ cm}^{-3}$ にする必要があった。本実施の形態に係

$$N_s < 1.897 \times 10^{18} \times V_s^{-1.35} \quad [\text{cm}^{-3}] \quad \dots (2)$$

具体的には、各n型ベース層13, 15, 17は、

(2)式に25%程度の余裕をもたせた(3)式に基づいて、不純物濃度 $N_s = 1 \times 10^{15} \text{ cm}^{-3}$ をもつよ

$$N_s \simeq 0.75 \times 1.897 \times 10^{18} \times V_s^{-1.35} \quad [\text{cm}^{-3}] \quad \dots (3)$$

また、中段及び上段のn型ベース層15, 17の各々は、この不純物濃度 N_s により、図7又は次の(4)式

$$W_s < 1.1247 \times 10^{10} \times N_s^{-0.85} \quad [\text{cm}] \quad \dots (4)$$

但し、厚さ W_s は、中段のn型ベース層15では各p型埋込み層14, 16相互間の最短距離であり、上段のn型ベース層17ではp型ベース層18と上側のp型埋込み層16との間の最短距離を意味している。

【0074】ところで具体的には、中段及び上段のn型

$$W_s \simeq 0.75 \times 1.1247 \times 10^{10} \times N_s^{-0.85} \quad [\text{cm}] \quad \dots (5)$$

一方、下段のn型ベース層13の厚さ W_s は、(4)式及び(5)式を適用せず、(4)式の値を越える値でもよい。これは、下段のn型ベース層13はn型基板11に接する層であるため、空乏層が伸びてパンチスルーさせる必要がないためである。

【0076】続いて、p型埋込み層14, 16の設計方

$$\text{オン抵抗} = R_{ch} + R_{JFET1} + R_{bulk1} + R_{JFET2} + R_{bulk2} + R_{JFET3} + R_{bulk3} \quad \dots (6)$$

オン抵抗を低減するには、(6)式によると、 $R_{JFET1} \sim 3$ を低い値に抑える必要がある。

【0079】ところで、従来型のMOSFETのオン抵

るMOSFETは、p型埋込み層14, 16で分割された3つのn型ベース層が200Vずつ電圧を分担するので、 $1 \times 10^{15} \text{ cm}^{-3}$ という高い不純物濃度でも、耐圧600Vを実現することができる。また、高耐圧MOSFETのオン抵抗は高抵抗層(n型ベース層)のキャリア密度に反比例して低下する。このため、従来型MOSFETでは低オン抵抗が実現不可であるのに対し、本実施の形態に係るMOSFETでは、従来とは異なり、大幅にオン状態での電圧降下を低下させることができる。

【0067】次に、このような作用を奏するMOSFETの設計方法を具体的に説明する。

【0068】下段、中段及び上段のn型ベース層13, 15, 17の各々は、耐圧 $BV = 600 \text{ V}$ を電圧 $V_s = 200 \text{ V}$ ずつ分担する。なお、この電圧 $V_s = 200 \text{ V}$ は次の(1)式により得られる。

$$V_s = BV / (M + 1) \quad \dots (1)$$

但し、 M ；p型埋込み層14, 16の層数(=2；本実施の形態の場合)。また、この(1)式は、各n型ベース層13, 15, 17の分担する電圧 V_s あるいは不純物濃度 N_s が互いに等しい場合の式である。

【0070】また、各n型ベース層13, 15, 17は、この電圧 V_s により、図6又は次の(2)式に基づいて、不純物濃度 N_s が決定される。

【0071】

うに形成される。

【0072】

に基づいて、厚さ W_s が決定される。

【0073】

ベース層15, 17の各々は、(4)式に25%程度の余裕をもたせた(5)式に基づいて、厚さ $W_s = 14 \mu\text{m}$ をもつように形成される。

【0075】

法について述べる。

【0077】本実施の形態に係るMOSFETは、図8に示すように、MOSFETと2つのSIT(Static Induction Transistor)とが直列接続されたものと仮定でき、オン抵抗が次の(6)式にて示される。

【0078】

抗のうちのn型ベース層302の抵抗は、本実施の形態のMOSFETのパラメータを使うと、次の(7)式のように示される。

【0080】従来型の

$$\begin{aligned} \text{n型ベース層の抵抗} &= (M+1) \times W_s / (q \mu (N_s / (M+1))) \\ &= (M+1)^2 \times W_s / (q \mu N_s) \quad \dots (7) \end{aligned}$$

但し、 q は素電荷であり、 μ は移動度である。また、従来型MOSFETのキャリア密度は、本実施の形態のキャリア密度 N_s の $1/(M+1)$ 倍である。

【0081】一方、本実施の形態のMOSFETのオン

$$\begin{aligned} \text{n型ベース層の抵抗} &= (M+1) W_s / (q \mu N_s) + M (t W / W_s) / (q \mu N_s) \\ &\quad \dots (8) \end{aligned}$$

これより、本実施の形態のオン抵抗が従来MOSFETに比べて小さい条件は、上の(7)式及び(8)式に基づいて次の(9)式のように示される。

【0083】

$$(M+1) W_s > t W / W_s \quad \dots (9)$$

このような設計方法により、本実施の形態に係るMOSFETを確実に作成することができる。

【0084】図9はこのように設計されたMOSFETにおけるオン抵抗と耐圧の関係を示す図である。図示するように、耐圧600Vの場合に理論限界の半分のオン抵抗を実現している。また、耐圧1200Vの場合には、理論限界の数分の一までオン抵抗を低減可能なことを示している。

【0085】図10は本発明に係るMOSFETにて理論的に可能なオン抵抗と耐圧の関係を示す図である。図示するように、p型埋込み層の層数 M に比例してオン抵抗が低減可能となっている。なお、図9と図10とは層数 M の増加に伴ってずれが生じるが、これは図9に示す関係は、本素子が3次元構造をもつものに対して数値計算上、2次元構造と仮定したからである。

【0086】上述したように第1の実施の形態によれば、オフ状態の際に、印加電圧の増加に比例して空乏層がp型ベース層18からドレイン電極12側に広がり、この空乏層がp型埋込み層16に到達したとき、パンチスルー現象により、p型埋込み層16が当該空乏層中の電界強度を固定してその上昇を抑止するので、このときの電界強度の最大値を越える電界強度の限界値をもつ範囲でn型ベース層17のキャリア密度を増加させてオン抵抗を低下させることにより、高耐圧であってもオン状態での電圧降下を低下させることができる。

【0087】また、本実施の形態によれば、設計条件を(1)式～(2)式、(4)式や図6及び図7にて明確化しているので、確実に動作する素子を再現性よく形成することができる。

【0088】(第2の実施の形態)次に、本発明の第2の実施の形態に係るMOSFETについて説明する。

【0089】図11(a)はこのMOSFETのp型埋込み層の構成を示す模式図であり、図11(b)は図1に示すp型埋込み層の拡大図であって、図1と同一部分には同一符号を付してその詳しい説明は省略し、ここでは異なる部分についてのみ述べる。

抵抗のうちのn型ベース層13、15、17の抵抗は、次の(8)式のように示される。

【0082】本実施の形態の

【0090】すなわち、このMOSFETは、第1の実施の形態の変形構成であり、図11(b)に示すときp型埋込み層16(又は14)内部のp型部相互間の抵抗RJFETを低減させてオン抵抗の低下を図るものであって、具体的には図11(a)に示すように、p型埋込み層16(又は14)内部のp型部相互間のn型ベース層15に該n型ベース層15のキャリア密度 N_s よりも高いキャリア密度を有するn+型層15aを設けた構成となっている。

【0091】これにより、第1の実施の形態の効果に加え、RJFETを低減したので、より一層、オン抵抗を低下させることができる。

【0092】(第3の実施の形態)次に、本発明の第3の実施の形態に係るショットキーバリアダイオードについて説明する。

【0093】図12はこのショットキーバリアダイオードの構成を示す模式図である。このショットキーバリアダイオードは、n型基板31上に下段のn型ベース層32が拡散形成され、下段のn型ベース層32の表面にはストライプ形状のp型埋込み層33が形成される。

【0094】p型埋込み層33上には上段のn型ベース層34が形成され、上段のn型ベース層34の表面にはショットキー電極35が形成される。なお、上段のn型ベース層34の厚さは、ショットキー接合からのリーク電流の少ない低電圧でショットキー界面の空乏層がp型埋込み層33に到達するように設計される。一方、n型基板31における下段のn型ベース層32とは反対側の表面にはオーミック電極36が形成される。

【0095】次に、このショットキーバリアダイオードの作用を説明する。

【0096】このショットキーバリアダイオードにおいては、逆バイアス電圧(ショットキー電極35に負電圧、オーミック電極36に正電圧)が印加されたとする。

【0097】このとき、下段のn型ベース層34では、ショットキー電極35との界面から空乏層がオーミック電極36側に向けて広がり、このショットキー電極35界面に電界の最強点が発生する。

【0098】しかしながら、逆バイアス電圧の上昇に伴って空乏層がp型埋込み層33に到達し、前述同様にショットキー界面の電界の最強点が固定されて上昇しな

くなり、空乏層は埋込み層より新たにアノード側（図中下方）に広がる。ここで、逆バイアス電圧は低い値であるように設計されているので、ショットキー界面での電界も低い値で固定される。これにより、リーク電流を低減させることができる。

【0099】なお、このショットキーバリアダイオードによれば、特に高温動作時のリーク電流を低減させることができる。さらに、周知技術とは異なり、p型層によるガードリングを形成する必要がなく、また、ガードリング部分でバイポーラ動作が起こる問題もない。

【0100】（第4の実施の形態）次に、本発明の第4の実施の形態に係るショットキーバリアダイオードについて説明する。

【0101】図13はこのショットキーバリアダイオードの構成を示す模式図であり、図12と同一部分には同一符号を付してその詳しい説明は省略し、ここでは異なる部分についてのみ述べる。

【0102】すなわち、このショットキーバリアダイオードは、第3の実施の形態の変形構成であり、高耐圧化及びオン状態での電圧降下の低減化を図るものであり、具体的には図13に示すように、n型基板31上に複数のn型ベース層32₁～32₃、複数のp型埋込み層33₁～33₃とが互いに個別に積層されて形成されている。

【0103】これにより、第3の実施の形態の効果に加え、前述同様に、各p型埋込み層33₁～33₃により分割されたn型ベース層32₁～32₃が耐圧を分担するので、従来実現不可能であった高耐圧で、オン状態での電圧降下の低いショットキーバリアダイオードを実現することができる。

【0104】（第5の実施の形態）次に、本発明の第5の実施の形態に係るIGBTについて説明する。

【0105】図14はこのIGBTの構成を示す模式図である。このIGBTは、p型エミッタ層としてのp型基板41上にドレイン電極42が形成されている。また、p型基板41におけるドレイン電極42とは反対側の表面にはn型バッファ層43及び下段のn型ベース層44が形成され、下段のn型ベース層44の表面にはストライプ形状のp型埋込み層45が形成される。

【0106】p型埋込み層45上には上段のn型ベース層46が形成され、上段のn型ベース層46の表面にはこのn型ベース層46のキャリア密度よりも高いキャリア密度を有するn+型層47が形成されている。n+型層47にはn型ベース層46に達する深さをもつ複数のp型ベース層48が選択的に拡散形成されており、各p型ベース層48の表面にはn型ソース層49が選択的に形成されている。なお、p型埋込み層45とp型ベース層48とは、電界の最大強度を低い値に抑えるように互いに近い位置に形成される。

【0107】p型ベース層48及びn型ソース層49か

らn+型層47を介して他方のp型ベース層48及びn型ソース層49に至る領域上には、Si酸化膜50を介して、ゲート電極51が設けられている。また、ゲート電極51を挟むように、一方のp型ベース層48上及びn型ソース層49上と、他方のp型ベース層48上及びn型ソース層49上とは各々ソース電極52が形成されている。

【0108】このような構成としても、n+型層47がキャリア密度の高さに比例してオン状態での電圧降下を低下させる効果を有し、さらに、このオン状態での電圧降下の低下に伴う耐圧の低下をp型埋込み層45によって阻止している。すなわち、p型埋込み層45をp型ベース層48に近い部分に設けたことにより、n+型層47付近での電界の最強点の上昇を低めに抑えるので、オン状態での電圧降下の低下と高耐圧化とを同時に実現することができる。

【0109】（第6の実施の形態）次に、本発明の第6の実施の形態に係るIGBTについて説明する。

【0110】図15はこのIGBTの構成を示す模式図であり、図14と同一部分には同一符号を付し、ほぼ同一部分にはaの添字を付してその詳しい説明は省略し、ここでは異なる部分についてのみ述べる。

【0111】すなわち、このIGBTは、第5の実施の形態の変形構成であり、さらなるオン状態での電圧降下の低下を図るものであり、具体的には図15に示すように、n+型層47及び上段のn型ベース層46に代えて、n+型層47と上段のn型ベース層46との領域を有するn+型層47aがp型埋込み層45上に形成されている。

【0112】n+型層47aは、前述同様に、n型ベース層44のキャリア密度よりも高いキャリア密度を有している。

【0113】このように、高いキャリア密度をもつn+型層47aをp型埋込み層45の上全体に形成したので、第5の実施の形態の効果に加え、一層、オン状態での電圧降下を低下させることができる。

【0114】（第7の実施の形態）次に、本発明の第7の実施の形態に係るIGBTについて説明する。

【0115】図16はこのIGBTの構成を示す模式図であり、図14と同一部分には同一符号を付してその詳しい説明は省略し、ここでは異なる部分についてのみ述べる。

【0116】すなわち、このIGBTは、第5の実施の形態の変形構成であり、より一層のオン状態での電圧降下の低下を図るものであり、具体的には図16に示すように、複数のn型ベース層44₁～44₄、46と複数のp型埋込み層45₁～45₄とが個別に交互に積層形成されている。

【0117】このような構成としても、第5の実施の形態の効果に加え、複数のp型埋込み層45₁～45₄の

存在によりn型ベース層44₁～44₄、46のキャリア密度が増加可能となるので、より一層オン状態での電圧降下を低下させることができる。

【0118】次に、上記実施の形態に係るMOSFET及びショットキーバリアダイオードの具体的な4通りの形成方法(a)～(d)を図17乃至図20に示す工程断面図を用いて説明する。なお、以下の説明は、n型基板に代えて、n型バッファ層を上部に有するp型基板(p型エミッタ層)を用いることにより、IGBTの形成方法にも適用可能である。

【0119】(形成方法A)図17(a)～17(b)に示すように、n型ドレイン層としてのn型基板61に対し、第1のn型ベース層62をエピタキシャル成長させる。

【0120】続いて図17(c)に示すように、第1のn型ベース層62上にマスク63を形成し、しかる後、インジウム、ガリウム、ボロン等のいずれかのイオン64をイオン注入する。このとき、イオンを高電圧で加速し、表面から0.2 μ m～3 μ m程度の深さまで打ち込むことにより、後のエピタキシャル成長時のpの拡散を小さくでき、p型埋込み層のメッシュを細かく形成できる。なお、このイオン注入層65がp型埋込み層の元となる。イオン注入後、マスク63を除去し、図17

(d)に示すように、イオン注入された第1のn型ベース層62の表面上に第2のn型ベース層66をエピタキシャル成長させる。

【0121】以下同様に、イオン注入とエピタキシャル成長とを繰返すことにより、層数Mのp型埋込み層をもつMOSFET(又はショットキーバリアダイオード、IGBT等)を形成することができる。

【0122】(形成方法B)前述した図17(a)～17(b)と同様にして第1のn型ベース層62を上部に有するn型基板61を用意する。

【0123】一方、図18(a)に示すように、このn型基板61よりも低キャリア密度のn型基板67上にマスク63を形成し、しかる後、インジウム、ガリウム、ボロン等のいずれかのイオン64をイオン注入する。イオン注入後、図18(b)に示すように、マスク63を除去する。

【0124】続いて図18(c)に示すように、このイオン注入面を前述した第1のn型ベース層62に接着する。

【0125】さらに、図18(d)に示すように、反転接着したn型基板67をポリッシングして所定の厚さに形成する。

【0126】以下同様に、選択イオン注入とウェハ接着とを繰返すことにより、任意の層数Mのp型埋込み層をもつMOSFET(又はショットキーバリアダイオード、IGBT等)を形成することができる。なお、ウェハ接着後、イオン注入及びエピタキシャル成長によりM

OSFETを形成してもよい。

【0127】(形成方法C)前述同様に、図19(a)～19(c)に示すように、n型基板61上に第1のn型ベース層62を形成し、第1のn型ベース層62の表面にイオン注入層65を選択的に形成する。

【0128】しかる後、図19(d)に示すように、この第1のn型ベース層62の表面上に、他のn型基板68を接着する。

【0129】このような形成方法Cとしても、形成方法Bと同様に、層数Mのp型埋込み層をもつMOSFET等を形成することができる。

【0130】これら形成方法(A)～(C)においては、p型埋込み層は、逐次拡散させてもよい。しかしながら、全てのp型埋込み層を形成した後、p型ベース層を形成する際に、同時に拡散させる方がp型埋込み層の大きさ、厚さ及び間隔を均一化する観点から好ましい。

【0131】また、層数Mのp型埋込み層を形成する際に、形成時の温度などの影響により、上層のp型埋込み層16よりも下層のp型埋込み層14の方が大きく形成される場合があるので、図21に示すように、p型埋込み層14、16における各p型部相互間の間隔を下層のp型埋込み層14ほど大きくすることが望ましい。

【0132】また、p型埋込み層は、拡散により形成しなくてもポリシリコンを埋込んで形成してもよい。

【0133】(形成方法d)図20(a)～20(c)に示すように、n型ドレイン層としてのn型基板61に対し、n型ベース層62をエピタキシャル成長させる。続いて、所定のパターンにパターンニングされたマスク63がn型ベース層62上に形成される。次に高エネルギー加速器により、BF₂等のp型不純物層を形成するイオン64がn型ベース層62中に注入される。なお、イオン注入時の加速エネルギーを変化させることにより、所定の深さにイオン注入層65を形成することができる。次に、マスク63を除去した後、n型基板61及びn型ベース層62が高温で熱処理されることにより、イオン注入層65のイオンは拡散され及び活性化されてp型埋込み層となる。なお、この熱処理により、イオン注入の際に、図20(b)の図中点線で囲まれた領域65aに生じた欠陥が消滅され、n型ベース層62の結晶性が回復される。

【0134】また、互いに異なる加速エネルギーを用い、数回、不純物イオンをn型ベース層62中に注入することにより、夫々異なる深さの数層のp型電位固定層を形成することもできる。

【0135】次に、このような形成方法に用いられるマスクパターンについて説明する。

【0136】図22乃至図29は夫々p型埋込み層を形成するためのマスクパターンの平面図である。図22はストライプ形状のp型埋込み層14、…を形成するためのマスクパターンを示す平面図である。このマスクパタ

ーンは、略正方形の枠部71と、枠部71の内側に形成されたストライプ部72と、枠部71の内側の略中央に配置された略正方形の中心部73とからなり、これら枠部71、ストライプ部72及び中心部73は互いにつながって構成されている。

【0137】ここで、中心部73はパンチスルーによりp型埋込み層14、…の電位を決定するためのものであり、同図22のXXXV-XXXV線矢視断面図である図30に示すように、ゲート電極パッド74下方にて空乏層の広がる（図中破線でしめす）領域75に位置するように位置合せされる。また、中心部73は、位置合せによりゲート電極パッド74の下方に破線で示す広い面積の領域75を用いて電位決定しているので、形成工程上のばらつきにより位置合せがズレても重なる部分が十分あることから耐圧変化を無くして歩留まり向上を期待でき、また、半導体装置の有効面積の縮小化を回避できる。但し、耐圧の向上効果のみであれば、位置合せをしなくてもよい。

【0138】図23は図22の変形パターンを示す平面図であり、中心部73と枠部71との間にストライプ部72と直交するように直線状の接続部76を有している。この接続部76は、中心部73と枠部71とを確実に電氣的に接続するためのものであり、ストライプ部72の個々の平行直線の幅よりも広い幅を有している。

【0139】図24及び図25はメッシュ形状のp型埋込み層を形成するためのマスクパターンを示す平面図であり、夫々図22又は図23のストライプ部72に代えて、格子状のメッシュ部77を有している。これらメッシュ形状のマスクパターンによれば、ストライプ状のマスクパターンを用いた場合よりも高耐圧の半導体装置を形成することができる。

【0140】図26はドット状のマスクパターンを示す平面図である。このマスクパターンは、複数のドット78が行方向及び列方向に互いに等間隔に配置されている。ドット状に形成されたp型埋込み層は、互いに電氣的に接続されていないので、素子の終端部にてガードリングと同様に作用するため、プレーナ構造の場合、高耐圧の半導体装置を形成することができる。

【0141】図27は図26の変形パターンを示す平面図であり、図26と比べ、各ドット78が1行毎に半間隔ずれ、互いに隣り合う行及び列のドット78と等間隔に配置される高密度なドットパターンを形成しているため、耐圧的に有利である。

【0142】図28はストライプ形状で且つ位置合せの不要なマスクパターンを示す平面図であり、複数の平行直線からなるストライプ部81と、ストライプ部81と直交するように互いに平行に配置された複数の接続部82を有している。この接続部82は、ストライプ部81の個々の平行直線の幅よりも広い幅を有し、ストライプ部81の各平行直線相互を確実に電氣的に接続する機能

と、パンチスルーによりp型埋込み層14、…の電位を決定する機能とをもっている。

【0143】ここで、各接続部82の間隔は、少なくとも1本の接続部82が各チップの素子部分に位置するように、チップの大きさに基づいて設定されている。なお、各接続部82とストライプ部81とは互いに斜交する関係でもよい。

【0144】図29は図28の変形パターンを示す平面図であり、接続部82よりも広い幅をもつ方形部83を設けている。この方形部83は、パンチスルーによりp型埋込み層の電位が決定される領域を広くするものであり、p型埋込み層の電位の変動を阻止している。また、この方形部は、位置合せなしでも、各チップの素子部分には少なくとも1つが入るように大きさ及び間隔が設定される。

【0145】なお、前述した図22乃至図29において、枠部71、中心部73、接続部76、接続部82及び方形部83はそれぞれ白抜きで示されているが、実線以外の白抜き部分もマスクパターンにおける露光部であり、その他の部分が遮光部となっている。

【0146】（第8の実施の形態）次に、本発明の第8の実施の形態に係るMOSFETについて説明する。

【0147】図31はこのMOSFETの終端構造を示す模式図であり、図1と同一部分には同一符号を付してその詳しい説明は省略し、ここでは異なる部分についてのみ述べる。

【0148】すなわち、このMOSFETは、各実施の形態の変形構成であり、プレーナ構造の素子終端部での耐圧劣化の阻止を図るものであって、具体的には図31に示すように、各p型埋込み層14、16の外周側に、素子上方からみてp型埋込み層14、16を取り囲むように略方形状に形成された複数の埋込みガードリング91を備えている。

【0149】従って、このような終端構造によれば、各埋込みガードリング91により、素子終端部における等電位線92の間隔を広げて電界強度を緩和すると共に、素子終端部の耐圧劣化を阻止することができる。

【0150】（第9の実施の形態）次に、本発明の第9の実施の形態に係るMOSFETについて説明する。

【0151】図32はこのMOSFETの終端構造を示す模式図であり、図31と同一部分には同一符号を付してその詳しい説明は省略し、ここでは異なる部分についてのみ述べる。

【0152】すなわち、このMOSFETは、上記実施の形態の変形構成であり、プレーナ構造の素子終端部での耐圧劣化の阻止を図るものであって、具体的には図32に示すように、各p型埋込み層14、16の外周部に、素子上方からみてp型埋込み層14、16を取り囲むように略方形状に形成され、p型埋込み層14、16よりも低いキャリア密度を有する埋込みリサーフ（RESU

RF) 93を備えている。

【0153】このような構成としても、第8の実施例と同様の効果を得ることができる。

【0154】(第10の実施の形態)次に、本発明の第10の実施の形態に係るMOSFETについて説明する。

【0155】図33はこのMOSFETの終端構造を示す模式図であり、図1と同一部分には同一符号を付し、ほぼ同一部分にはaの添字を付してその詳しい説明は省略し、ここでは異なる部分についてのみ述べる。

【0156】すなわち、このMOSFETは、第1の実施の形態の変形構成であり、ベベル構造又はメサエッチングによる終端構造をもつものであり、具体的には図33に示すように、素子終端部に傾斜を有するベベル構造が形成され、且つ素子終端部のp型埋込み層14a, 16aがストライプ部又はメッシュ部を取り囲むように略方形の枠形状に形成されている。

【0157】従って、このような終端構造によれば、pn接合終端の電界を緩和するベベル構造の利点に加え、終端部のp型埋込み層14a, 16aが枠形状を有しているため終端部の電位を決定でき、もって、動作の信頼性向上を図ることができる。

【0158】(第11の実施の形態)次に、本発明の第11の実施の形態に係るMOSFETについて説明する。

【0159】図34はこのMOSFETの終端構造を示す模式図であり、図33と同一部分には同一符号を付してその詳しい説明は省略し、ここでは異なる部分についてのみ述べる。

【0160】すなわち、このMOSFETは、第10の実施の形態の変形構成であり、ベベル構造又はメサエッチングによる終端構造にてp型埋込み層14a, 16bの形状を変えたものであって、具体的には図34に示すように、p型埋込み層14a, 16aの枠形状に代えて、ストライプ部又はメッシュ部が素子終端部にまで延長して形成されている。

【0161】従って、このような終端構造によれば、pn接合端面の電界集中を緩和するベベル構造の利点に加え、p型埋込み層14, 16が枠形状をもたないため、p型埋込み層14, 16のマスクパターンの位置合せを省略することができる。

【0162】次に、本発明の第12の実施の形態に係るMOSFETについて説明する。

【0163】図35はこのMOSFETの構成を模式的に示す断面図であり、図36はこのMOSFETの平面図である。このMOSFETは、基板101上にn-型層(又はp-型層)102が形成され、n-型層102上に不純物総量(ドーザ量)が $1 \times 10^{12} \text{ cm}^{-2}$ 以上のn型オフセット層103が選択的に形成される。n型オフセット層103表面には、n型ドレイン層105がn

-型層102に達する深さに選択的に形成される一方、p型埋込み層104がドット状に選択的に形成されている。なお、p型埋込み層104は、図37に示すように、ストライプ状としてもよい。また、p型埋込み層104におけるドット状(又はストライプ状)のパターンは、図37(又は図36)と異なって不揃いでもよい。

【0164】また、n-型層102表面にはp型ベース層106がn型オフセット層103に接するように選択的に形成され、p型ベース層106表面にはn型ソース層107が選択的に形成されている。

【0165】p型ベース層106上及びn型ソース層107上にはソース電極108が選択的に形成されている。n型ソース層107上、p型ベース層106上及びn型オフセット層103上には酸化膜109を介してゲート電極110が選択的に埋込み形成されている。

【0166】n型ドレイン層105上には、選択的にドレイン電極111が形成されている。

【0167】ここで、n型オフセット層103の表面にp型埋込み層104を形成することにより、前述同様にn型オフセット層103では不純物量を増加可能となるため、オン抵抗を低減することができる。

【0168】(第13の実施の形態)次に、本発明の第13の実施の形態に係るMOSFETについて説明する。

【0169】図38はこのMOSFETの構成を示す模式図であり、図35と同一部分には同一符号を付してその詳しい説明は省略し、ここでは異なる部分についてのみ述べる。

【0170】すなわち、このMOSFETは、第12の実施の形態の変形構成であり、具体的には図38に示すように、p型埋込み層104に代えて、n型オフセット層103表面に、p型ソース層106の深さと同様の深さまで選択的に形成されたp型埋込み層112を備えている。

【0171】ここで、p型埋込み層112は、n型オフセット層103上に形成されたマスクにRIE等によりトレンチ(例えば丸穴)を形成し、イオン注入等によりトレンチを介してp型のドーパントをn型オフセット層103及びn-型層102にドーピングし、マスクを除去することにより形成可能である。なお、n型オフセット層103表面にn-型層102まで到達する深さのトレンチを形成し、このトレンチにp型多結晶を埋込んでよい。

【0172】このような構成としても、第12の実施の形態と同様の効果を得ることができる。

【0173】(第14の実施の形態)次に、本発明の第14の実施の形態に係るMOSFETについて説明する。

【0174】図39はこのMOSFETの構成を示す模式図である。このMOSFETは、SOI(Silicon-On

-Insulator) 基板を用いたものであり、基板121上に埋込み酸化膜122及びSiのn型オフセット層123が順次形成されている。

【0175】n型オフセット層123はドーズ量が $1 \times 10^{12} \text{cm}^{-2}$ 以上であり、表面にp型ベース層124及びn型ドレイン層125が選択的に形成され、p型ベース層124は表面にn型ソース層126が選択的に形成されている。また、n型オフセット層123は、p型ベース層124とn型ドレイン層125との間の表面から埋込み酸化膜122に達するp型埋込み層127が例えばRIEによる丸穴形状で選択的に形成されている。

【0176】p型ベース層124上及びn型ソース層126上にはソース電極128が選択的に形成されている。n型ソース層126上、p型ベース層124上及びn型オフセット層123上には酸化膜129を介してゲート電極130が選択的に埋込み形成されている。

【0177】n型ドレイン層125上には、選択的にドレイン電極131が形成されている。

【0178】このような構成としても、第12及び第13の実施の形態と同様の効果を得ることができる。

【0179】(第15の実施の形態)次に、本発明の第15の実施の形態に係るMOSFETについて説明する。

【0180】図40はこのMOSFETの構成を示す模式図であり、図41は図40のXLVI-XLVI線矢視断面図であって、図35と同一部分には同一符号を付してその詳しい説明は省略し、ここでは異なる部分についてのみ述べる。

【0181】すなわち、このMOSFETは、第12の実施の形態の変形構成であり、形成工程上のばらつきによる耐圧劣化を阻止するものであって、具体的には図40及び図41に示すように、n型オフセット層103上、p型埋込み層104上及びn型ドレイン層105上に絶縁膜141が形成され、この絶縁膜141表面に各p型埋込み層104に達するようにコンタクトホール142が形成され、ゲート電極から等距離の各p型埋込み層104相互を接続するように4本の等電位電極143が形成されている。

【0182】ここで、4本の等電位電極143は、コンタクトホール142の径よりも長い幅を有し、この径から突出する部分がドレイン電極111側に突出していわゆるフィールドプレート構造となるように形成されている。

【0183】従って、等電位電極143により、ゲート電極110からの等距離の各p型埋込み層104が等電位に接続されて形成工程上のばらつきによる耐圧劣化を阻止でき、且つ、等電位電極143がフィールドプレート構造をとることにより、p型埋込み層104での電界集中を阻止して耐圧の向上を図ることができる。

【0184】(第16の実施の形態)次に、本発明の第

16の実施の形態に係るMOSFETについて説明する。

【0185】図42はこのMOSFETの構成を示す模式図であり、図40と同一部分には同一符号を付してその詳しい説明は省略し、ここでは異なる部分についてのみ述べる。

【0186】すなわち、このMOSFETは、第15の実施の形態の変形構成であり、p型埋込み層による抵抗RJFETの低下を図るものであって、具体的には図42に示すように、n型オフセット層103内のp型埋込み層104を省略し、n型オフセット層103上及びn型ドレイン層105上に絶縁膜141が形成され、この絶縁膜表面にn型オフセット層に達するように複数のコンタクトホール142がドット状(又は図37と同様のストライプ状)に形成され、コンタクトホール142に埋込まれたp形多結晶によりp型埋込み層144が形成され、前述同様に、ゲート電極110から等距離の各p型埋込み層144相互を接続するように4本のp型接続層145が形成されている。

【0187】ここで、4本のp型接続層145は、前述同様に、フィールドプレート構造となるように形成されている。

【0188】従って、第15の実施の形態の効果に加え、p型埋込み層144をn型オフセット層103上に形成したことにより、p型埋込み層144による抵抗RJFETを低下させることができる。

【0189】(第17の実施の形態)次に、本発明の第17の実施の形態に係るMOSFETについて説明する。

【0190】図43はこのMOSFETの構成を示す模式図であり、図40と同一部分には同一符号を付してその詳しい説明は省略し、ここでは異なる部分についてのみ述べる。

【0191】すなわち、このMOSFETは、第12の実施の形態の変形構成であり、SIPOS(Semi-Insulating Polycrystalline Silicon)等の抵抗膜を用いて各p型埋込み層104の電位を固定するものである。

【0192】本実施形態に係るMOSFETは、SIPOS等の高抵抗膜を介して電極に接続された状態に関する。

【0193】具体的にはこのMOSFETは、図43に示すように、n型オフセット層103上、p型埋込み層104上及びn型ドレイン層105上に絶縁膜141が形成され、この絶縁膜141表面に各p型埋込み層104に達するようにコンタクトホール142が形成され、この絶縁膜141上にゲート電極110からドレイン電極111に向けて各p型埋込み層104相互と当該両電極110、111を接続するようにSIPOS部146が形成されている。

【0194】従って、SIPOS部146の有する電気

抵抗により、ゲート電極110とドレイン電極111との間の電圧が各p型埋込み層104に分担され、各p型埋込み層104が電位固定されるため、高耐圧化を期待することができる。

【0195】(第18の実施の形態)次に、本発明の第18の実施の形態に係るMOSFETについて説明する。

【0196】図44はこのMOSFETの構成を示す模式図であり、図40と同一部分には同一符号を付してその詳しい説明は省略し、ここでは異なる部分についてのみ述べる。

【0197】すなわち、このMOSFETは、第12又は第17の実施の形態の変形構成であり、SIPOS等の抵抗膜を用いて各p型埋込み層の電位を固定するものであり、具体的には図44に示すように、n型オフセット層103上、p型埋込み層104上及びn型ドレイン層105上に絶縁膜141が形成され、この絶縁膜141表面に各p型埋込み層104に達するようにコンタクトホール142が形成され、この絶縁膜141上にソース電極108からドレイン電極111に向けて各p型埋込み層104相互と当該両電極108, 111を接続するようにSIPOS部147が形成されている。

【0198】従って、SIPOS部147の有する電気抵抗により、ソース電極108とドレイン電極111との間の電圧が各p型埋込み層104に分担され、各p型埋込み層104が電位固定されるため、高耐圧化を期待することができる。

【0199】(第19の実施の形態)次に、本発明の第19の実施の形態に係るMOSFETについて説明する。

【0200】図45はこのMOSFETの構成を模式的に示す断面図である。このMOSFETは、n型ドレイン層としてのn型基板201上にn型ベース層202が形成され、n型ベース層202内にはストライプ状のp型埋込み層210が形成されている。また、n型ベース層202の表面にはp型ベース層203が形成されている。p型ベース層203およびn型ベース層202内には、p型ベース層203を貫通し、n型ベース層202の途中の深さまで達する深さの複数のトレンチ204が形成される。トレンチ204内にはゲート絶縁膜205を介してゲート電極206が埋め込み形成されている。

【0201】p型ベース層203の表面内にはトレンチ204の上部に接してn型ソース層207が形成されている。p型ベース層203およびn型ソース層207の両方にコンタクトするようにソース電極208が設けられている。また、n型基板201には、n型ベース層202とは反対側の表面上にドレイン電極209が形成されている。

【0202】ここで、p型埋込み層210は、前述同様に、複数のストライプ状のp型領域が終端部にて互いに

接続されて形成されている。

【0203】次に、このようなMOSFETの作用を説明する。

【0204】始めに、このMOSFETのオン状態について述べる。

【0205】いま、ソース電極208に対して正となる電圧がドレイン電極209に印加された状態で、ゲート電極206が正バイアスされたとする。このゲート電極206の正バイアスにより、p型ベース層203のトレンチ204に接した部分はn型の反転層が形成される。よって、電子がこの反転層を通過してn型ソース層207からn型ベース層202に流れ、MOSFETが導通状態となる。

【0206】次に、このMOSFETのオフ状態について説明する。

【0207】いま、ゲート電極206が0バイアス又は負バイアスされた状態で、ソース電極208に対して正となる電圧がドレイン電極209に印加されたとする。

【0208】このとき、n型ベース層202では、p型ベース層203からドレイン電極209に向けて空乏層が広がり、各トレンチ204に挟まれたn型ベース層202内に、電界の最強点が発生する。

【0209】さらに、ソースドレイン間電圧が上昇すると、空乏層がp型埋込み層210に到達し、p型埋込み層210はパンチスルー状態となって電位が固定される。またさらに、ソースドレイン間電圧が上昇すると、空乏層はp型埋込み層210からドレイン電極209側に広がる。したがって、n型ベース層202内の電界最強点の電界は固定されて上昇が阻止される。

【0210】ここで、p型埋込み層210とトレンチ204との間の距離と、n型ベース層202の不純物濃度とを、電界最強点の電界がn型ベース層202の電界強度の限界値を越えないように設計することにより、半導体装置の高耐圧化、低抵抗化を図ることができる。

【0211】また、n型ベース層202内にp型埋込み層210を複数積層することにより、更に高耐圧化、低抵抗化を図ることができる。

【0212】(第20の実施の形態)図46は本発明の第20の実施の形態に係る半導体装置の構成を模式的に示す断面図である。この半導体装置は、n型ドレイン層としてのn型基板211上にn型ベース層212が形成され、n型ベース層212内にはストライプ状のp型埋込み層220が形成されている。また、n型ベース層212の表面にはn型ソース層213が形成されている。また、n型ベース層212内にはp型ベース層214が埋め込み形成されている。各々のp型ベース層214は電氣的に接続されており、p型ベース層214に接してベース電極215が設けられている。またn型ソース層213の表面にはソース電極216が設けられている。さらに、n型基板211には、n型ベース層212とは

反対側の表面上にドレイン電極217が形成されている。

【0213】次に、この半導体装置の動作を説明する。

【0214】いま、ベース電極215が0バイアスされた状態で、ソース電極216に対して正となる電圧がドレイン電極217に印加されたとする。半導体装置は、電子がn型ソース層213から各p型ベース層214の間を流れてn型ドレイン層211に流れ、導通状態となる。

【0215】ここで、ベース電極215を正バイアス状態にすると、正孔がp型ベース層214からn型ベース層212中に注入され、p型ベース層214の近傍で導伝変調が起こり、半導体装置の抵抗が減少する。

【0216】一方、半導体装置のオフ状態、すなわちベース電極215が負バイアスされた状態で、ソース電極216に対して正となる電圧がドレイン電極217に印加されたとする。ベース電極215が負バイアスされると、空乏層が各p型ベース層214からn型ベース層中に広がり、これら空乏層同士が接触して電流経路が遮断される。さらに、ドレイン電極217に向かって空乏層が広がり、p型ベース層214直下に電界の最強点が発生する。

【0217】さらに、ソース・ドレイン間電圧が上昇すると、空乏層がp型埋込み層220に到達し、このとき、p型埋込み層220はパンチスルー状態となって電位が固定される。またさらに、ソース・ドレイン間電圧が上昇すると、空乏層は埋込み層220からドレイン電極側に広がる。したがって、n型ベース層2内の電界最強点の電界は固定されて上昇が阻止される。

【0218】p型埋込み層220とp型ベース層214との間の距離と、n型ベース層212の不純物濃度とを、電界最強点の電界がn型ベース層212の電界強度の限界値を越えないように設計することにより、この半導体装置の高耐圧化、低抵抗化を図ることができる。

【0219】また、n型ベース層212内にp型埋込み層220を複数積層することにより、更に高耐圧化、低抵抗化を図ることができる。

【0220】(第21の実施の形態) 図47は本発明の第21の実施の形態に係る半導体装置の構成を模式的に示す断面図であり、図46と同一部分には同一符号を付してその詳しい説明は省略し、ここでは異なる部分についてのみ述べる。

【0221】すなわち、この半導体装置は、第20の実施形態の半導体装置の変形構成であり、ターンオフの確実性を向上させたものである。具体的にはn型ベース層212の途中の深さまで達するトレンチ218を形成し、その側壁および底面全面にp型ベース層214が形成されている。

【0222】これにより、ベース電極215が負バイアスされたオフ状態のとき、破線で示すように、各々のp

型ベース層214から伸びる空乏層が接する部分が面状になるので、電流経路を確実に遮断することができる。

【0223】(第22の実施の形態) 図48は本発明の第22の実施の形態に係る半導体装置の構成を模式的に示す断面斜視図である。この半導体装置は、n型ドレイン層としてのn型基板221上にn型ベース層222が形成され、n型ベース層222内にはストライプ状のp型埋込み層230が形成されている。また、n型ベース層222内には、n型ベース層222の途中の深さまで達する深さの複数のトレンチ224がストライプ状に形成されている。トレンチ224内には絶縁膜225を介してp型ポリシリコン電極226が埋め込み形成されている。また、n型ベース層222の表面内には、トレンチ224の上部に接するように、n型ソース層227が選択的に形成されている。p型ポリシリコン電極226およびn型ソース層227に接するようにソース電極228が形成されている。

【0224】また、n型ベース層222表面の、トレンチ224の端部付近には、トレンチ224より深くp型ベース層223が拡散形成されている。p型ベース層223の表面にはベース電極229が形成されている。また、n型基板221には、n型ベース層222とは反対側の表面上にドレイン電極231が形成されている。

【0225】次に、この半導体装置の動作を説明する。

【0226】この素子のソース電極227に対して、ドレイン電極231に正電圧が印加された状態で、ベース電極229が正バイアスされると、正孔がp型ベース層223からn型ベース層222に注入されると共に、絶縁膜225に沿ってn型ソース層227に向かって流れ込む。一方、電子は、流れ込んだ正孔の量に応じてn型ソース層227からn型ベース層222中に注入され、ソース・ドレイン間に印加された電圧に引かれて、ドレイン電極231に向かって流れる。よって、半導体装置が導通状態となる。このとき、p型ベース層223から正孔が注入されたことにより、n型ベース層22内で導伝変調が起きるので、更に抵抗が減少する。

【0227】この半導体装置のオフ状態、すなわちベース電極229が0バイアス又は負バイアスされた状態で、ソース電極228に対して正となる電圧がドレイン電極231に印加されたとする。

【0228】このとき、n型ベース層222とp型ポリシリコン電極226の拡散電位差により、トレンチ224から空乏層が広がり、空乏層同士が接触する。また、p型ベース層223からも同時に空乏層が広がるので、電流経路が遮断される。さらに、空乏層はドレイン電極231側に向かって広がり、p型ベース電極232直下に、電界の最強点が発生する。

【0229】さらに、ソース・ドレイン間電圧の上昇に比例し、空乏層がp型埋込み層230に到達し、このとき、p型埋込み層230はパンチスルー状態となって電

位が固定される。さらに、ソース・ドレイン間電圧が上昇すると、空乏層はp型埋込み層230からドレイン電極231側に広がる。したがって電界最強点の電界は固定されて上昇が阻止される。

【0230】p型埋込み層230とp型ベース層223の距離とn型ベース層222の不純物濃度を、電界最強点の電界がn型ベース層222の電界強度の限界値を越えないように設計することにより、この半導体装置の高耐圧化、低抵抗化を図ることができる。また、n型ベース層222内にp型埋込み層230を複数積層することにより、更に高耐圧化、低抵抗化を図ることができる。

【0231】なお、第20ないし第22の実施の形態においては各p型埋込み層220(、230)で分けられたn型ベース層212(、222)のうち、p型ベース層213(、223)と隣接するn型ベース層212(、222)は濃度を薄くし且つ他のn型ベース層212(、222)に比べて厚さを厚くし、且つ分担電圧を高くすることで、さらに低抵抗化、高耐圧化を図ることができる。理由は、p型ベース層213(、223)の付近は高注入状態となるので、高抵抗のn型ベース層

$$V_1 \geq V_s$$

同様に、分担電圧 V_2 が次の(10a)式のように得られる。

$$V_2 \geq V_s$$

但し、 V_2 は、p型埋込み層14、16により(M+1)層に分割されたn型ベース層13、15、17のうち、n型ドレイン層11に接するn型ベース層13の分担する電圧である。

【0238】また、以上の決定内容に基づいて、他の部

$$V_s = (BV - V_1 - V_2) / (M - 1) [V] \quad \dots (11)$$

但し、 V_s は、p型埋込み層14、16により(M+1)層に分割されたn型ベース層13、15、17のうち、p型ベース層18及びn型(又はp型)ドレイン層11の双方に接しない(M-1)層のn型ベース層15の分担する電圧である。

【0240】 V_2 は、p型埋込み層14、16により(M+1)層に分割されたn型ベース層13、15、17

$$N_1 < 1.897 \times 10^{18} \times V_1^{-1.35} [cm^{-3}] \quad \dots (12)$$

$$W_1 < 1.1247 \times 10^{10} \times N_1^{-0.85} [cm] \quad \dots (13)$$

また同様に、分担電圧 V_2 のn型ベース層13における不純物濃度 N_2 と厚さ W_2 とが次の(14)式及び(1

$$N_2 < 1.897 \times 10^{18} \times V_2^{-1.35} [cm^{-3}] \quad \dots (14)$$

$$W_2 < 1.1247 \times 10^{10} \times N_2^{-0.85} [cm] \quad \dots (15)$$

なお、式(15)は一例であり、厚さ W_2 は、任意に設定可能であって式(15)に制限されない。

【0244】また同様に、分担電圧 V_s のn型ベース層

$$N_s < 1.897 \times 10^{18} \times V_s^{-1.35} [cm^{-3}] \quad \dots (16)$$

$$W_s < 1.1247 \times 10^{10} \times N_s^{-0.85} [cm] \quad \dots (17)$$

以上のように各n型ベース層13、15、17に異なる電圧を分担させることもできる。また、(10)式～

212(、222)でもオン状態の抵抗が低く抑制されるため、p型ベース層213(、223)から離れたn型ベース層212(、222)の分担電圧を低下させて抵抗を下げた方が素子全体の抵抗が低下されるからである。

【0232】次に、このときのp型埋込み層の具体的な設計方法を、前述した図1を用いて説明する。

【0233】例えば製品仕様により、ソース電極22とドレイン電極12との間の耐圧BVと、ソース電極22とドレイン電極12との間におけるp型埋込み層14、16の層数Mとが決定されたとする。

【0234】続いて、各p型埋込み層14、16により(M+1)層に分割されたn型ベース層13、15、17のうち、ソース電極22側でp型ベース層18に接するn型ベース層17の分担する電圧 V_1 が決定される。

【0235】具体的には、仮に前述した(1)式による分担電圧 V_s が算出され、この仮の分担電圧 V_s 以上となる値に、分担電圧 V_1 が次の(10)式の通りに決定される。

$$V_1 \geq V_s \quad \dots (10)$$

$$V_2 \geq V_s \quad \dots (10a)$$

分の分担電圧 V_s が次の(11)式により得られる。なお、ここで決定した V_s も上記(10)式、(10a)式を満たすのはいうまでもない。

$$V_s = (BV - V_1 - V_2) / (M - 1) [V] \quad \dots (11)$$

7のうち、n型ドレイン層11に接するn型ベース層13の分担する電圧である。

【0241】以下、前述同様に、分担電圧 V_1 のn型ベース層17における不純物濃度 N_1 と厚さ W_1 とが次の(12)式及び(13)式に示すように得られる。

$$N_1 < 1.897 \times 10^{18} \times V_1^{-1.35} [cm^{-3}] \quad \dots (12)$$

$$W_1 < 1.1247 \times 10^{10} \times N_1^{-0.85} [cm] \quad \dots (13)$$

5)式に示すように得られる。

$$N_2 < 1.897 \times 10^{18} \times V_2^{-1.35} [cm^{-3}] \quad \dots (14)$$

$$W_2 < 1.1247 \times 10^{10} \times N_2^{-0.85} [cm] \quad \dots (15)$$

15における不純物濃度 N_s と厚さ W_s とが次の(16)式及び(17)式に示すように得られる。

$$N_s < 1.897 \times 10^{18} \times V_s^{-1.35} [cm^{-3}] \quad \dots (16)$$

$$W_s < 1.1247 \times 10^{10} \times N_s^{-0.85} [cm] \quad \dots (17)$$

(17)式に示すように設計条件を明確化していることで、確実に動作する素子を再現性よく形成することがで

きる。さらに、これら(10)式～(17)式に示す設計条件は、プレーナ構造やトレンチ構造あるいは縦型、横型などの素子構造を問わず、前述した各実施形態に適用可能である。

【0246】その他、本発明はその要旨を逸脱しない範囲で種々変形して実施できる。

【0247】

【発明の効果】以上説明したように請求項1の発明によれば、オフ状態の際に、印加電圧の増加に比例して空乏層が第1導電型半導体層中を第2の主電極側から第1の主電極側に広がり、この空乏層が第2導電型埋込み層に到達したとき、パンチスルー現象により、第2導電型埋込み層が当該空乏層中の電界強度を固定してその上昇を抑止するので、このときの電界強度の最大値を越える電界強度の限界値をもつ範囲で第1導電型半導体層の不純物濃度を増加させてオン抵抗を低下させることにより、高耐圧であってもオン状態での電圧降下を低下できる半導体装置を提供できる。

【0248】また、請求項2の発明によれば、請求項1と同様の効果に加え、電流制御構造により、第1の主電極から第2の主電極へ流れる電流を制御できる半導体装置を提供できる。

【0249】さらに、請求項3の発明によれば、オフ状態の際に、印加電圧の増加に比例して空乏層が第2導電型ベース層からドレイン電極側に広がり、この空乏層が第2導電型埋込み層に到達したとき、パンチスルー現象により、第2導電型埋込み層が当該空乏層中の電界強度を固定してその上昇を抑止するので、このときの電界強度の最大値を越える電界強度の限界値をもつ範囲で第1導電型半導体層の不純物濃度を増加させてオン抵抗を低下させることにより、高耐圧であってもオン状態での電圧降下を低下できる半導体装置を提供できる。

【0250】また、請求項4の発明によれば、ゲート絶縁膜とゲート電極とが第2導電型ベース層を貫通し、第1導電型半導体層の途中の深さまで達する溝内に形成されているので、請求項3と同様の効果を奏するトレンチ構造の半導体装置を提供できる。

【0251】さらに、請求項5の発明によれば、請求項1乃至請求項3のいずれかの効果に加え、第2導電型埋込み層がメッシュ形状を有しているため、ストライプ形状に比べて容易に高耐圧化できる半導体装置を提供できる。

【0252】また、請求項6の発明によれば、第2導電型埋込み層がストライプ形状を有しているため、請求項1乃至請求項3のいずれかと同様の効果を奏する半導体装置を提供できる。

【0253】さらに、請求項7の発明によれば、請求項3の効果に加え、高耐圧であっても、オン状態での電圧降下を低下できるMOSFET等の半導体装置を提供できる。

【0254】また、請求項8の発明によれば、請求項3の効果に加え、ドレイン電極側に第2導電型ドレイン層を有するバイポーラ素子であっても、前述同様に、高耐圧であっても、オン状態での電圧降下を低下できるIGBT等の半導体装置を提供できる。

【0255】さらに、請求項9の発明によれば、第2導電型埋込み層が、制御電極とは異なる電位であり、電位的に浮いた状態であるので、請求項2と同様の効果を奏する半導体装置を提供できる。

【0256】また、請求項10の発明によれば、第1の主電極と第2の主電極との間の耐圧BVと、第1の主電極と第2の主電極との間における第2導電型埋込み層の層数Mと、これら第2導電型埋込み層により(M+1)層に分割された第1導電型半導体層のうち、第1の主電極に最も近い第1導電型半導体層の分担する電圧 V_1 と、第1の主電極に最も近い第1導電型半導体層の不純物濃度 N_1 と、第1の主電極に最も近い第1導電型半導体層の厚さ W_1 と、各第2導電型埋込み層により(M+1)層に分割された第1導電型半導体層のうち、第2の主電極に最も近い第1導電型半導体層の分担する電圧 V_2 と、第2の主電極に最も近い第1導電型半導体層の不純物濃度 N_2 と、各第2導電型埋込み層により(M+1)層に分割された第1導電型半導体層のうち、第1の主電極及び第2の主電極から離れた(M-1)層の第1導電型半導体層の分担する電圧 V_s と、(M-1)層の第1導電型半導体層の不純物濃度 N_s と、(M-1)層の第1導電型半導体層の厚さ W_s との夫々の設計条件を所定の式にて明確化しているので、請求項1又は請求項2の効果に加え、確実に動作する素子を再現性よく形成できる半導体装置を提供できる。

【0257】さらに、請求項11の発明によれば、ソース電極とドレイン電極との間の耐圧BVと、ソース電極とドレイン電極との間における第2導電型埋込み層の層数Mと、これら第2導電型埋込み層により(M+1)層に分割された第1導電型半導体層のうち、第2導電型ベース層に接する第1導電型半導体層の分担する電圧 V_1 と、第2導電型ベース層に接する第1導電型半導体層の不純物濃度 N_1 と、第2導電型ベース層に接する第1導電型半導体層の厚さ W_1 と、各第2導電型埋込み層により(M+1)層に分割された第1導電型半導体層のうち、ドレイン層に接する第1導電型半導体層の分担する電圧 V_2 と、ドレイン層に接する第1導電型半導体層の不純物濃度 N_2 と、各第2導電型埋込み層により(M+1)層に分割された第1導電型半導体層のうち、第2導電型ベース層及びドレイン層の双方に接しない(M-1)層の第1導電型半導体層の分担する電圧 V_s と、(M-1)層の第1導電型半導体層の不純物濃度 N_s と、(M-1)層の第1導電型半導体層の厚さ W_s との夫々の設計条件を所定の式にて明確化しているので、請求項3の効果に加え、確実に動作する素子を再現性よく

形成できる半導体装置を提供できる。

【0258】また、請求項12の発明によれば、第2導電型埋込み層を取り囲むように略方形状に形成された第2導電型ガードリング領域を備えた終端構造なので、請求項1乃至請求項3のいずれかの効果に加え、各第2導電型ガードリング領域により、半導体装置終端部における等電位線の間隔を広げて電界集中を緩和すると共に、半導体装置終端部の耐圧劣化を阻止できる半導体装置を提供できる。

【0259】さらに、請求項13の発明によれば、第2導電型埋込み層を取り囲むように略方形状に形成され、第2導電型埋込み層のキャリア密度よりも低いキャリア密度を有する第2導電型リサーフ領域を備えたので、請求項1乃至請求項3のいずれかと同様の効果を奏する半導体装置を提供できる。

【0260】また、請求項14の発明によれば、請求項1乃至請求項3のいずれかの効果に加え、第1導電型半導体層の終端部が、傾斜を有するベベル構造に形成されたことにより、pn接合終端の電界強度を緩和するベベル構造の利点を奏する半導体装置を提供できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るMOSFETの構成を示す模式図。

【図2】同実施の形態におけるp型埋込み層の寸法を説明するための模式図。

【図3】図3は同実施の形態におけるMOSFETの作用を説明するための図。

【図4】同実施の形態における電界強度分布の2次元数値計算による算出結果を示す図。

【図5】図5は同実施の形態におけるMOSFETと従来のMOSFETとを比較説明するための模式図。

【図6】同実施の形態における分担電圧 V_s からキャリア密度 N_s を決定するための図。

【図7】同実施の形態におけるキャリア密度 N_s から厚さ W_s を決定するための図。

【図8】同実施の形態におけるMOSFETの等価回路を説明するための模式図。

【図9】同実施の形態におけるMOSFETにおけるオン抵抗と耐圧の関係を示す図。

【図10】本発明に係るMOSFETにて理論的に可能なオン抵抗と耐圧の関係を示す図。

【図11】図11は本発明の第2の実施の形態に係るMOSFETのp型埋込み層の構成を示す模式図並びに図11に示すp型埋込み層の拡大図。

【図12】本発明の第3の実施の形態に係るショットキーバリアダイオードの構成を示す模式図。

【図13】本発明の第4の実施の形態に係るショットキーバリアダイオードの構成を示す模式図。

【図14】本発明の第5の実施の形態に係るIGBTの構成を示す模式図。

【図15】本発明の第6の実施の形態に係るIGBTの構成を示す模式図。

【図16】本発明の第7の実施の形態に係るIGBTの構成を示す模式図。

【図17】本発明に係る半導体装置の形成方法を説明するための工程断面図。

【図18】本発明に係る半導体装置の形成方法を説明するための工程断面図。

【図19】本発明に係る半導体装置の形成方法を説明するための工程断面図。

【図20】本発明に係る半導体装置の形成方法を説明するための工程断面図。

【図21】本発明に係る半導体装置の形成方法を説明するための模式図。

【図22】本発明に係るストライプ形状のp型埋込み層を形成するためのマスクパターンを示す平面図。

【図23】本発明に係る図16の変形パターンを示す平面図。

【図24】本発明に係るメッシュ形状のp型埋込み層を形成するためのマスクパターンを示す平面図。

【図25】本発明に係るメッシュ形状のp型埋込み層を形成するためのマスクパターンを示す平面図。

【図26】本発明に係るドット状のp型埋込み層を形成するためのマスクパターンを示す平面図。

【図27】本発明に係る図26の変形パターンを示す平面図。

【図28】本発明に係るストライプ形状で位置合せの不要なp型埋込み層のマスクパターンを示す平面図。

【図29】本発明に係る図28の変形パターンを示す平面図。

【図30】本発明に係る図22のXXXV-XXXV線矢視断面図、

【図31】本発明の第8の実施の形態に係るMOSFETの終端構造を示す模式図。

【図32】本発明の第9の実施の形態に係るMOSFETの終端構造を示す模式図。

【図33】本発明の第10の実施の形態に係るMOSFETの終端構造を示す模式図。

【図34】本発明の第11の実施の形態に係るMOSFETの終端構造を示す模式図。

【図35】本発明の第12の実施の形態に係るMOSFETの構成を示す模式図。

【図36】同実施の形態におけるMOSFETの平面図。

【図37】同実施の形態におけるMOSFETの変形構成を示す平面図。

【図38】本発明の第13の実施の形態に係るMOSFETの構成を示す模式図。

【図39】本発明の第14の実施の形態に係るMOSFETの構成を示す模式図。

【図40】本発明の第15の実施の形態に係るMOSFETの構成を示す模式図。

【図41】同実施の形態における図40のXLVI-XLVI線矢視断面図。

【図42】本発明の第16の実施の形態に係るMOSFETの構成を示す模式図。

【図43】本発明の第17の実施の形態に係るMOSFETの構成を示す模式図。

【図44】本発明の第18の実施の形態に係るMOSFETの構成を示す模式図。

【図45】本発明の第19の実施の形態に係るMOSFETの構成を示す模式図。

【図46】本発明の第20の実施の形態に係る半導体装置の構成を示す模式図。

【図47】本発明の第21の実施の形態に係る半導体装置の構成を示す模式図。

【図48】本発明の第22の実施の形態に係る半導体装置の構成を模式的に示す断面斜視図。

【図49】従来のMOSFETの構成を示す模式図。

【図50】従来のMOSFETにおけるオン抵抗と耐圧の関係を示す図。

【図51】従来のバイポーラトランジスタの構成を模式的に示す断面図。

【図52】従来のIGBTの構成を模式的に示す断面図。

【図53】従来のMOSFET及びIGBTにおけるオン状態での電圧降下と電流との関係を示す図。

【符号の説明】

11, 31, 61, 67, 68, 201, 211, 221...n型基板
12, 42, 111, 131, 209, 217, 231...ドレイン電極
13, 15, 17, 32, 32₁~32₃, 34, 44, 44₁~44₄, 46, 62, 66, 202, 212, 222...n型ベース層
14, 14a, 16, 16a, 33, 33₁~33₃, 45, 45₁~45₄, 104, 112, 127, 144, 210, 230...p型埋込み層
18, 48, 106, 124, 203, 214...p型ベース層
19, 49, 107, 126, 207, 213, 227...n型ソース層
20, 50...Si酸化膜
21, 51, 110, 130, 206...ゲート電極

22, 52, 108, 128, 208, 216, 228...ソース電極

35...ショットキー電極

36...オーミック電極

41...p型基板

43...n型バッファ層

47, 47a...n+型層

63...マスク

64...イオン

65...イオン注入層

71...枠部

72, 81...ストライプ部

73...中心部

74...ゲート電極パッド

75...領域

76, 82...接続部

77...メッシュ部

78...ドット

83...方形部

91...埋込みガードリング

92...等電位線

93...埋込みリサーフ

101, 121...基板

102...n-型層

103, 123...n型オフセット層

105, 125...n型ドレイン層

109, 129...酸化膜

122...埋込み酸化膜

141, 225...絶縁膜

142...コンタクトホール

143...等電位電極

145...p型接続層

146, 147...SIPOS部

204, 218, 224...トレンチ

205...ゲート絶縁膜

215, 229...ベース電極

226...p型ポリシリコン電極

BV...耐圧

Vs, V₁, V₂... (分担) 電圧

Ns, N₁, N₂...不純物濃度

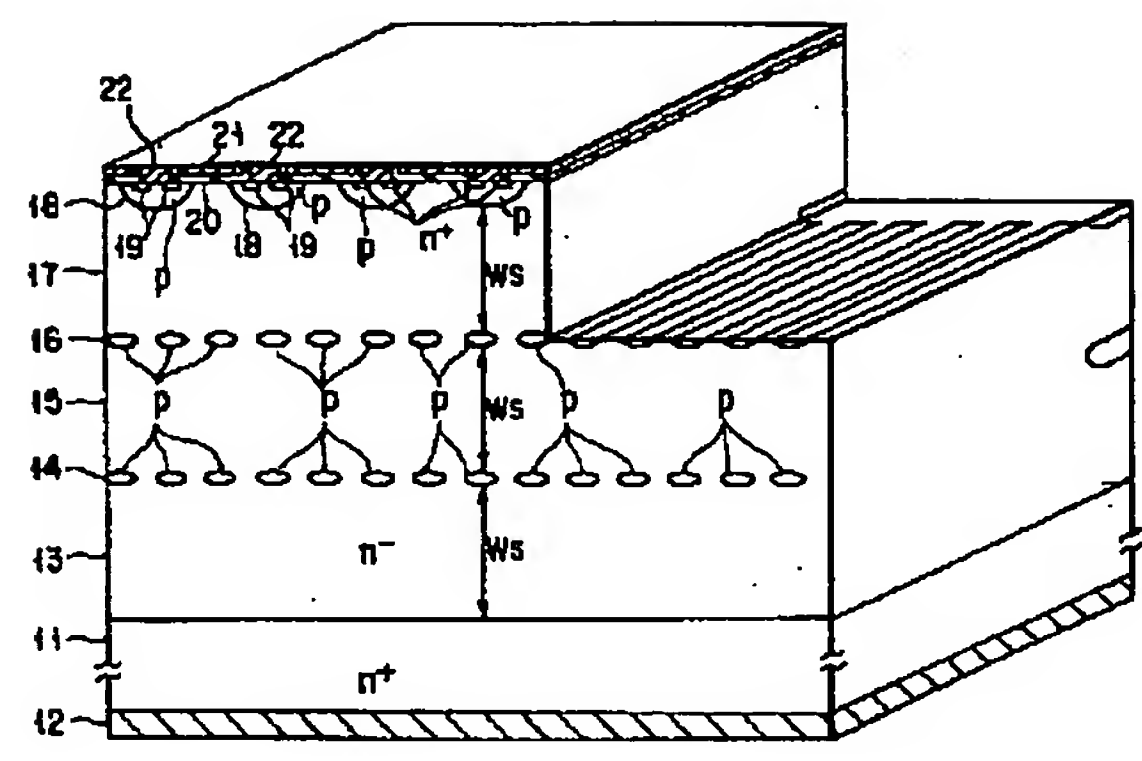
Ws, W₁, W₂...厚さ

t...厚さ

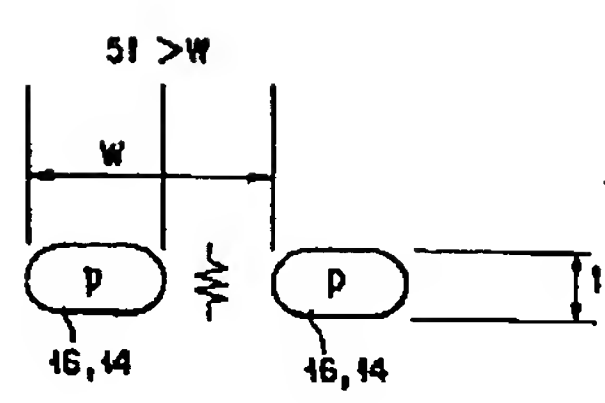
W...形成間隔

M...層数

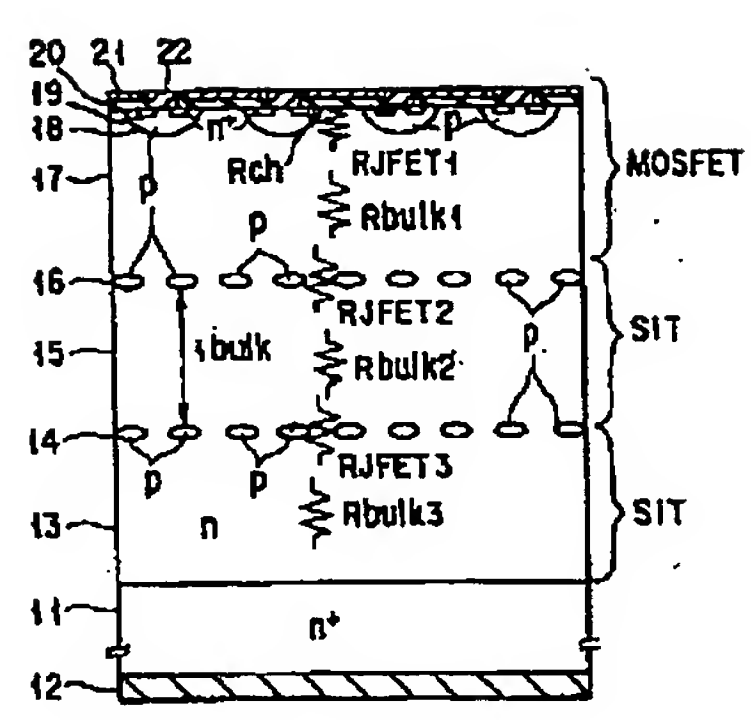
【図1】



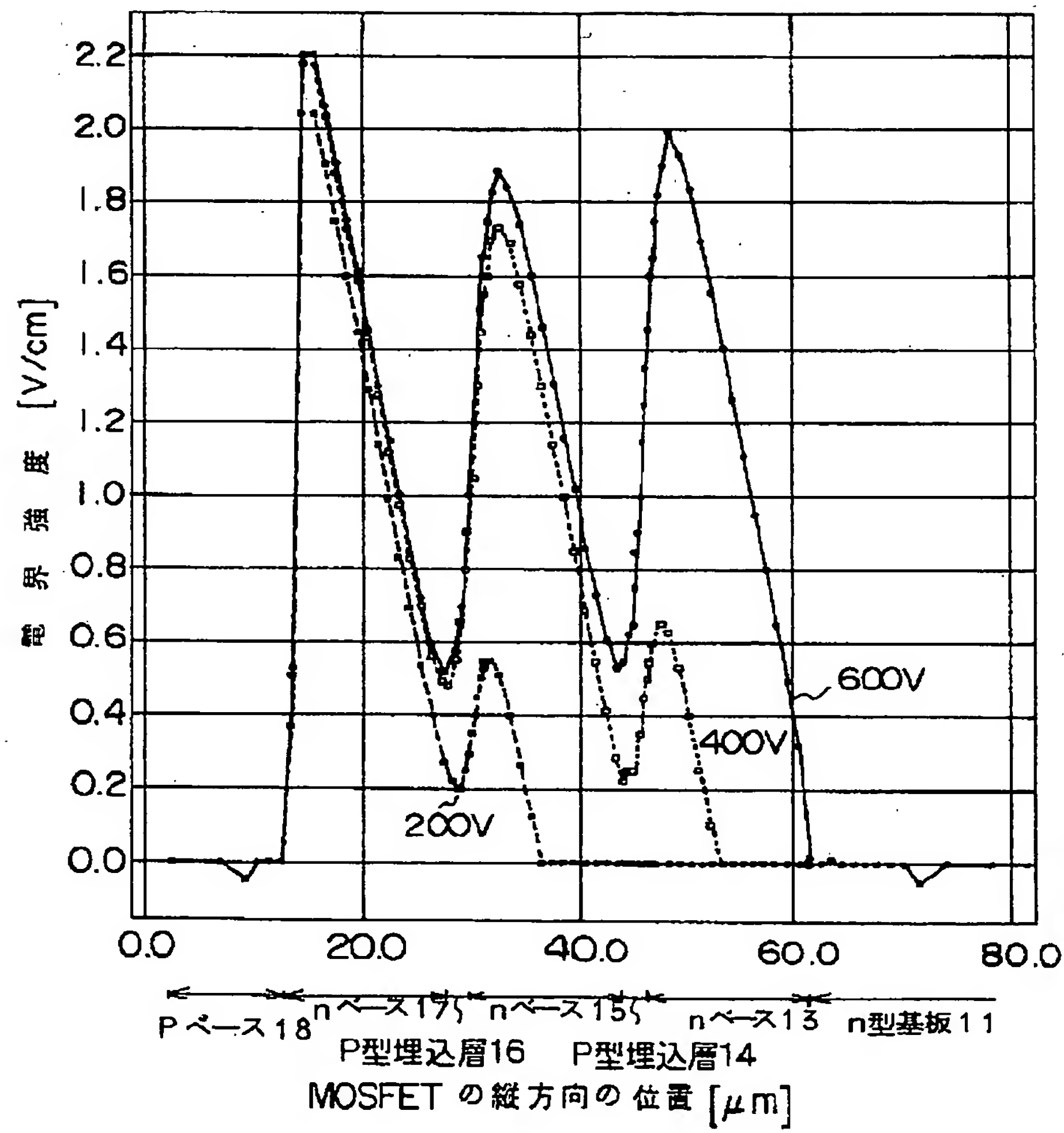
【図2】



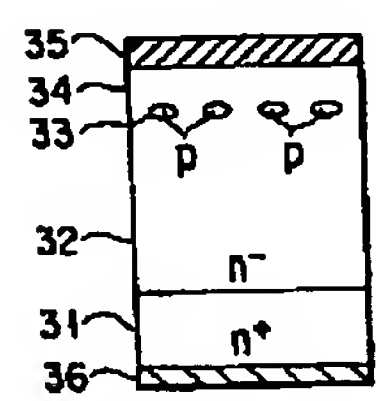
【図8】



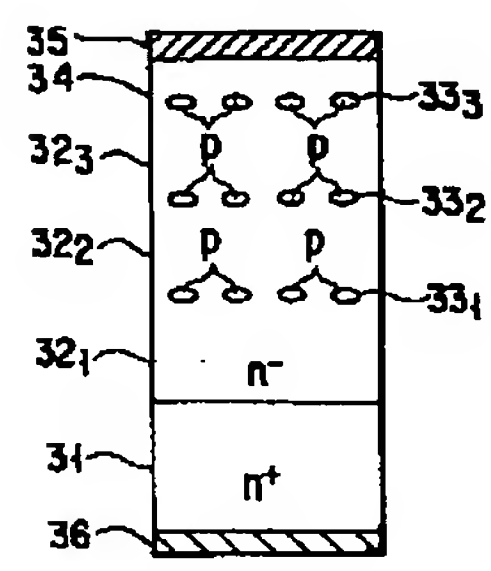
【図4】



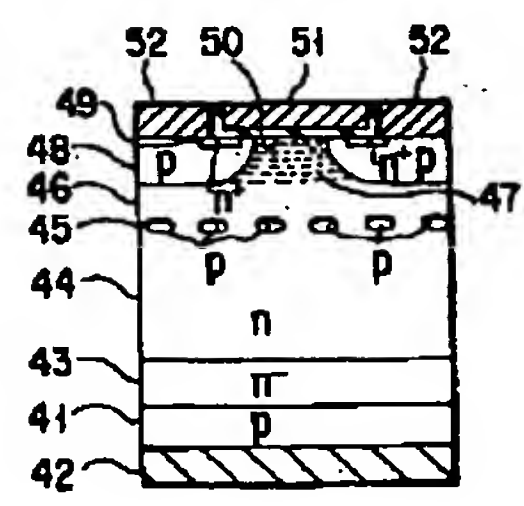
【図12】



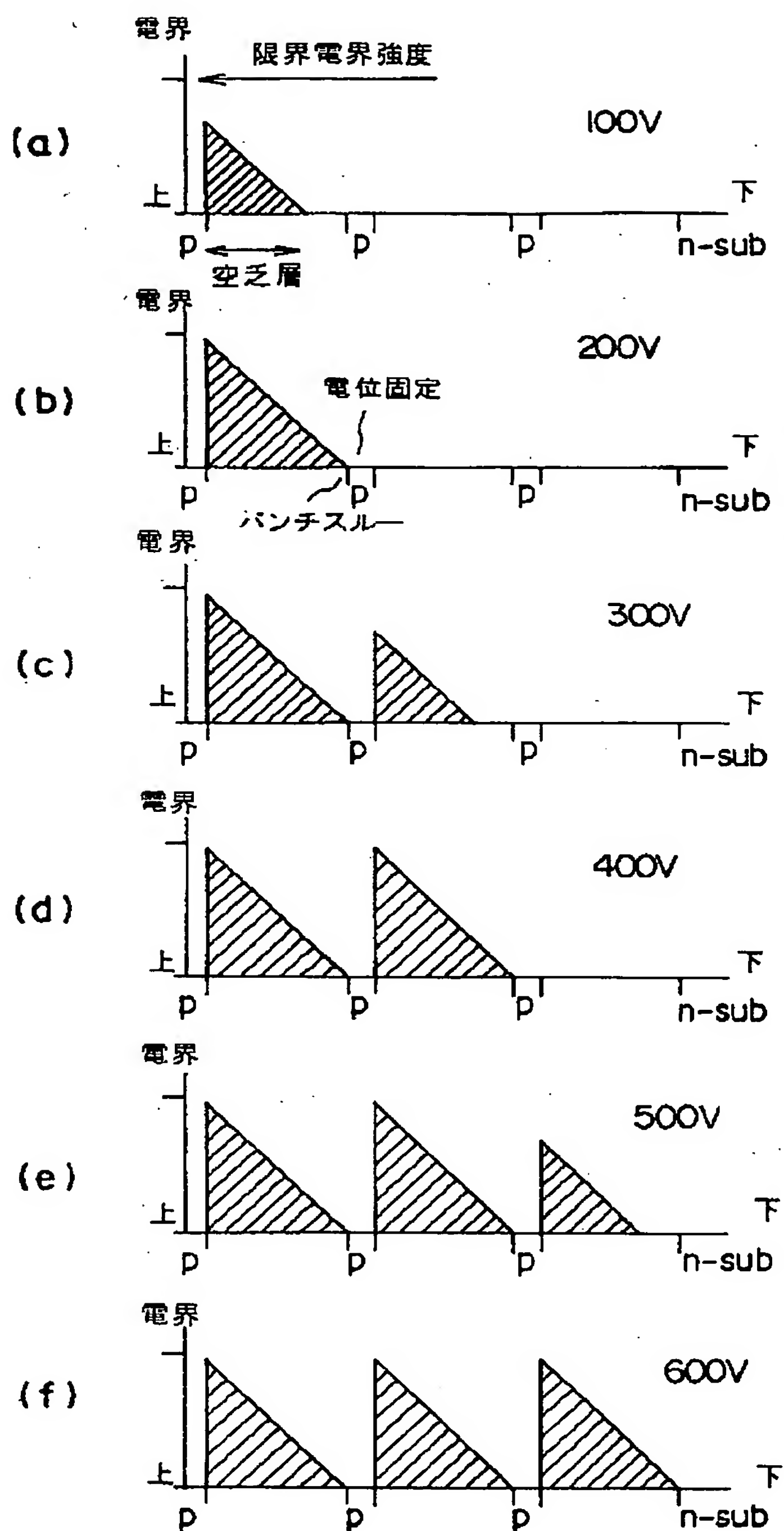
【図13】



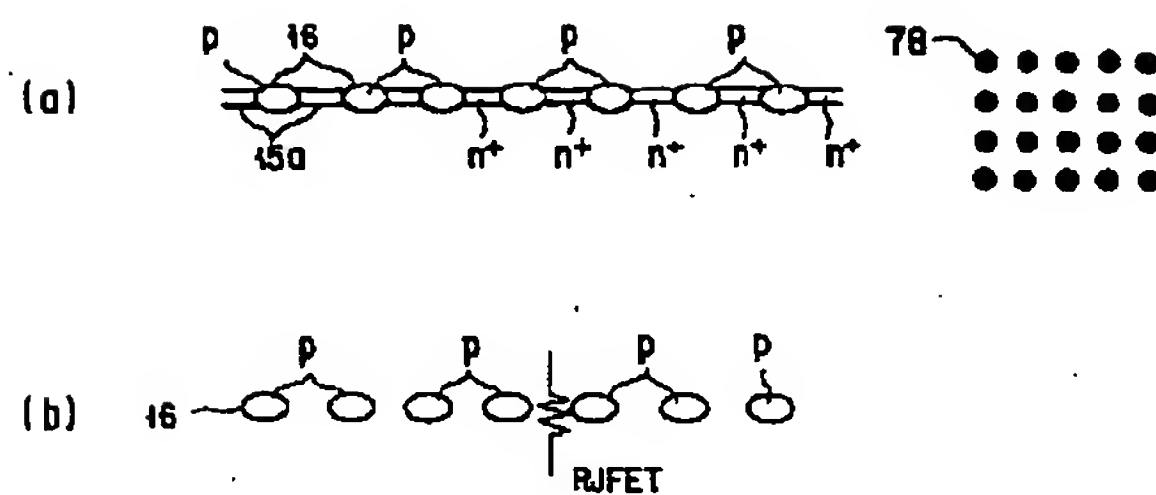
【図14】



【図 3】

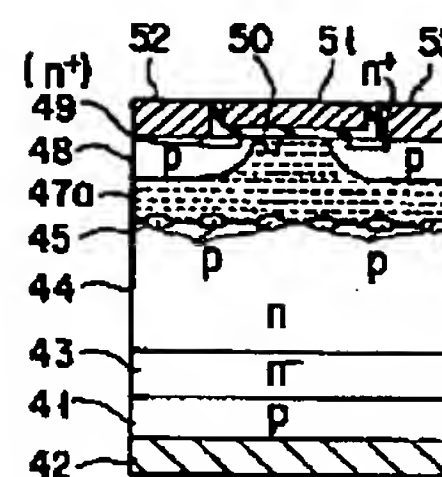


【図 1 1】

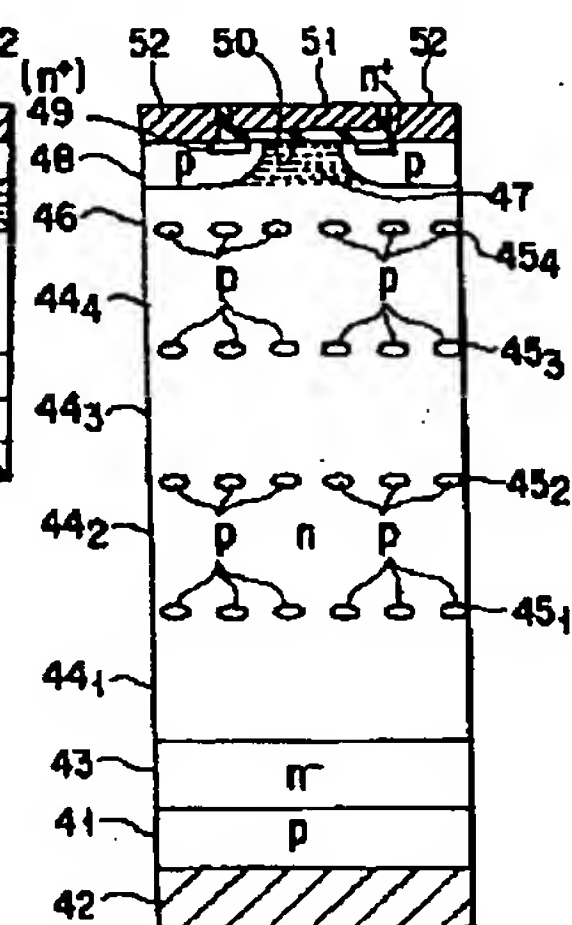


【例 26】

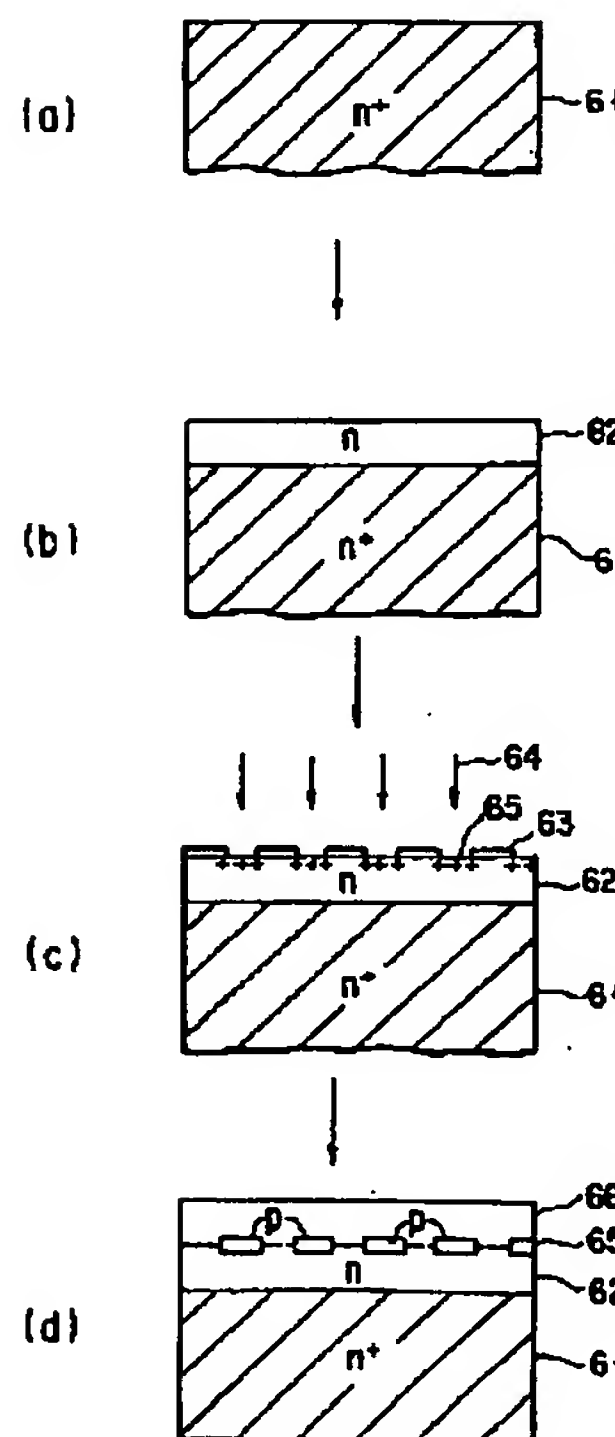
【图 15】



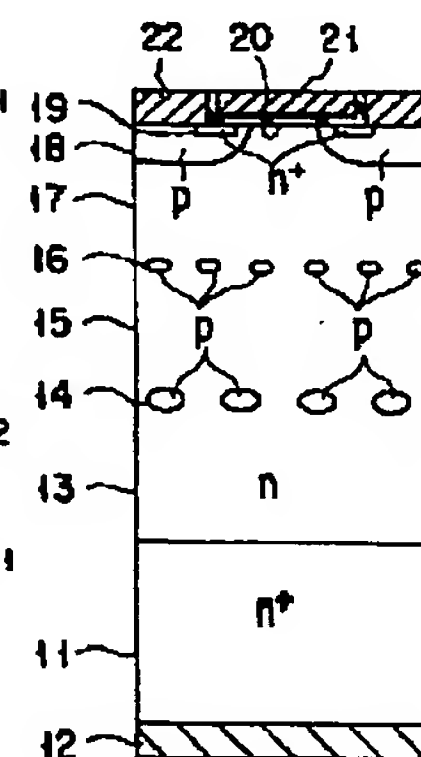
【図 16】



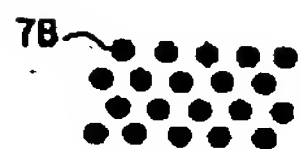
【☒ 17】



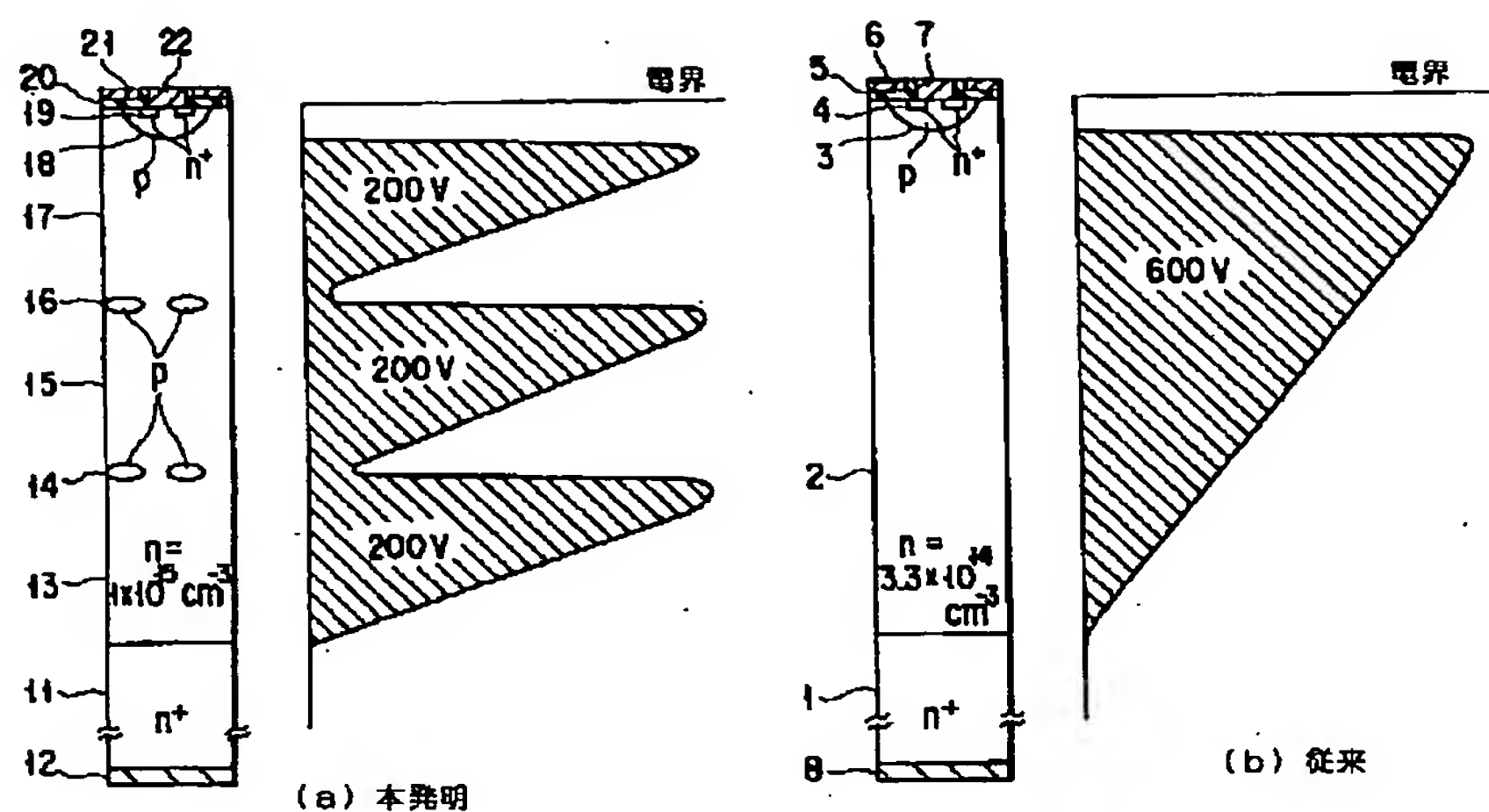
【図 2 1】



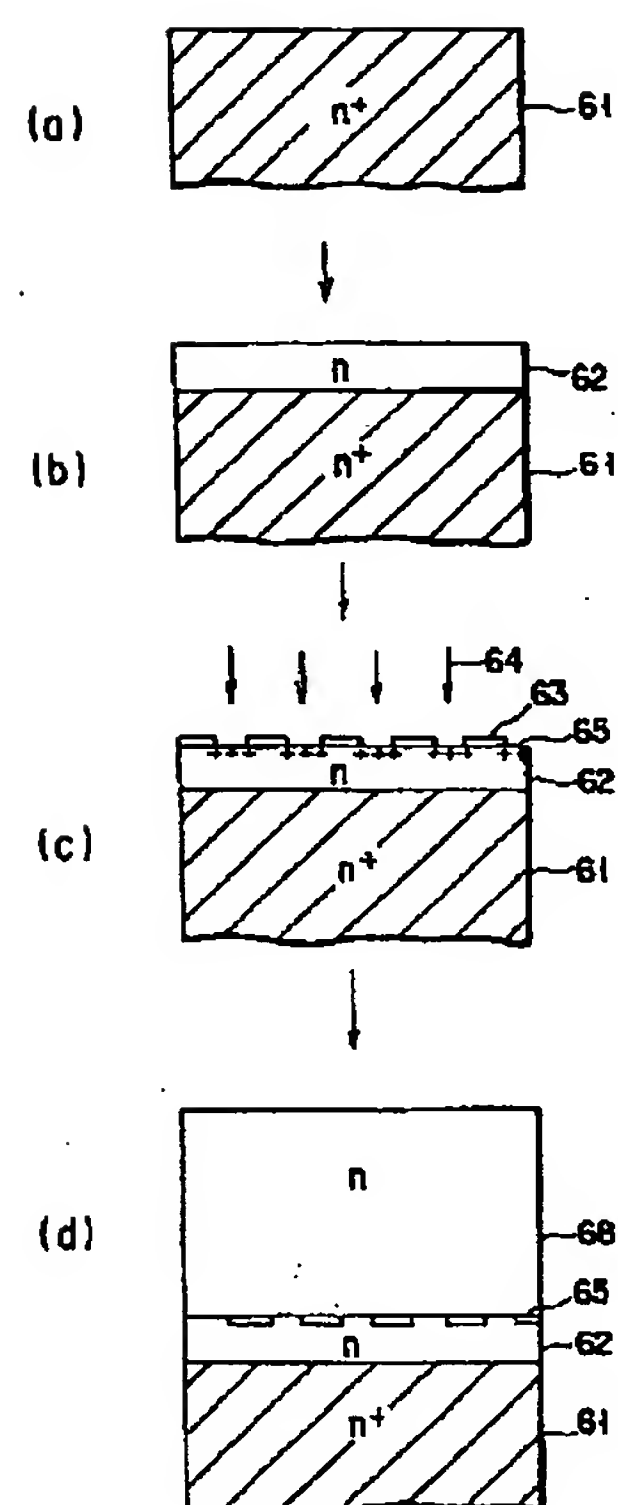
【图 27】



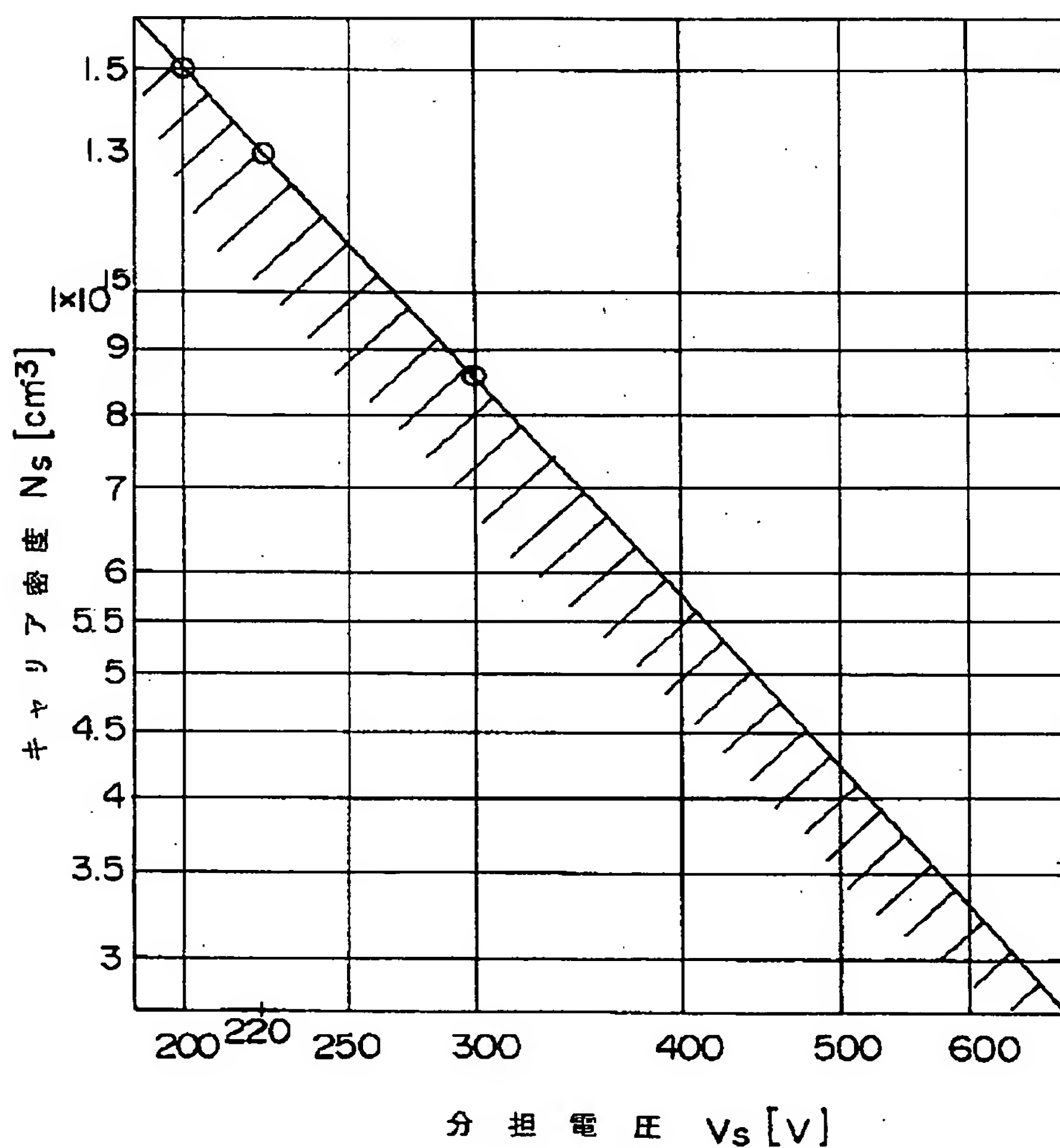
【図5】



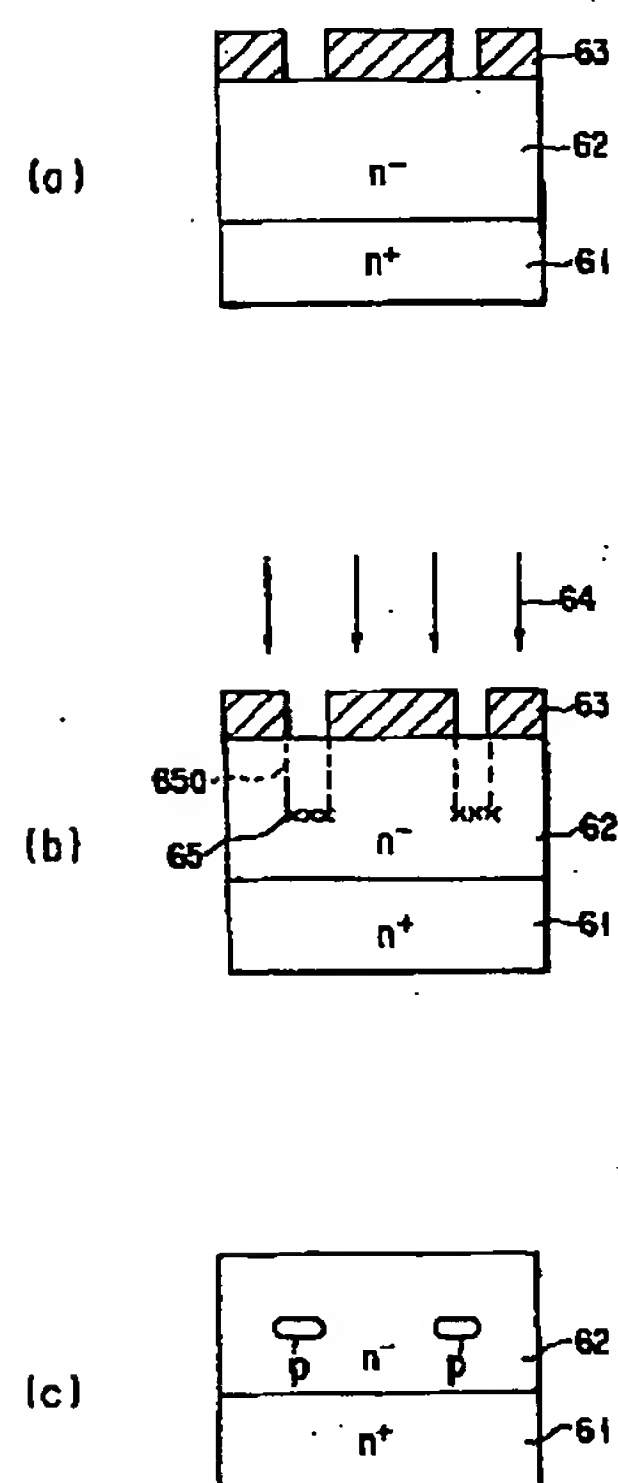
【図19】



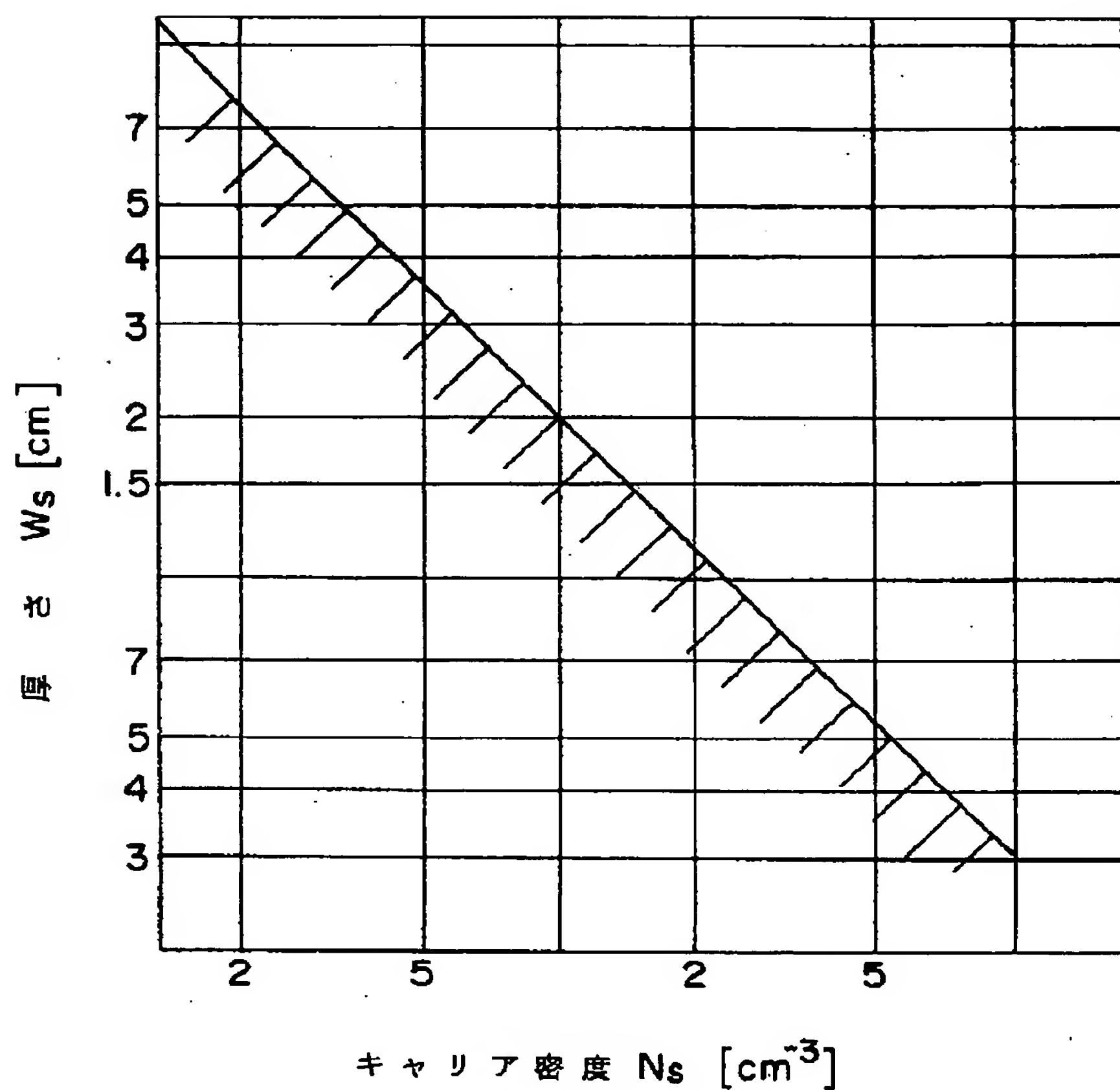
【図6】



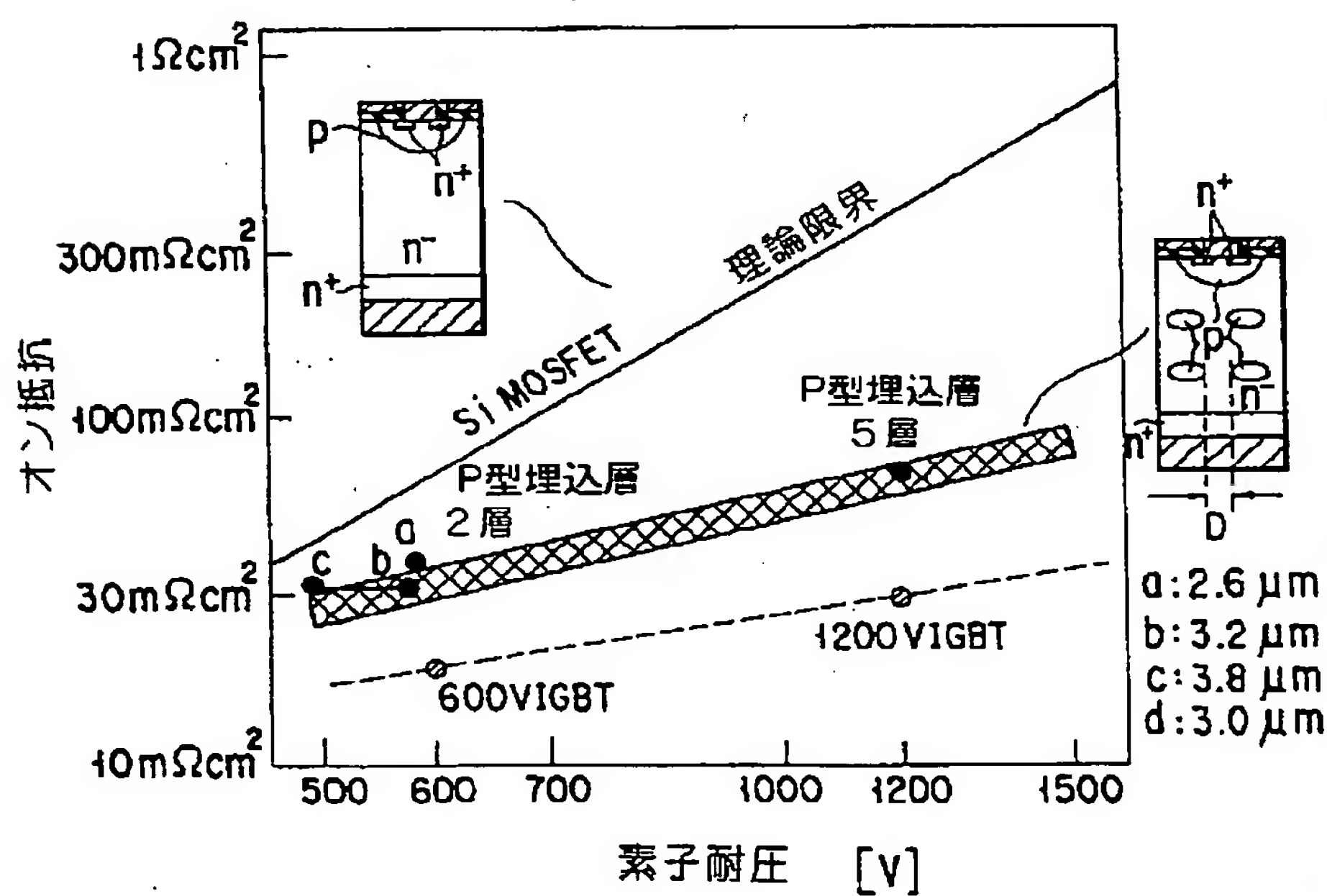
【図20】



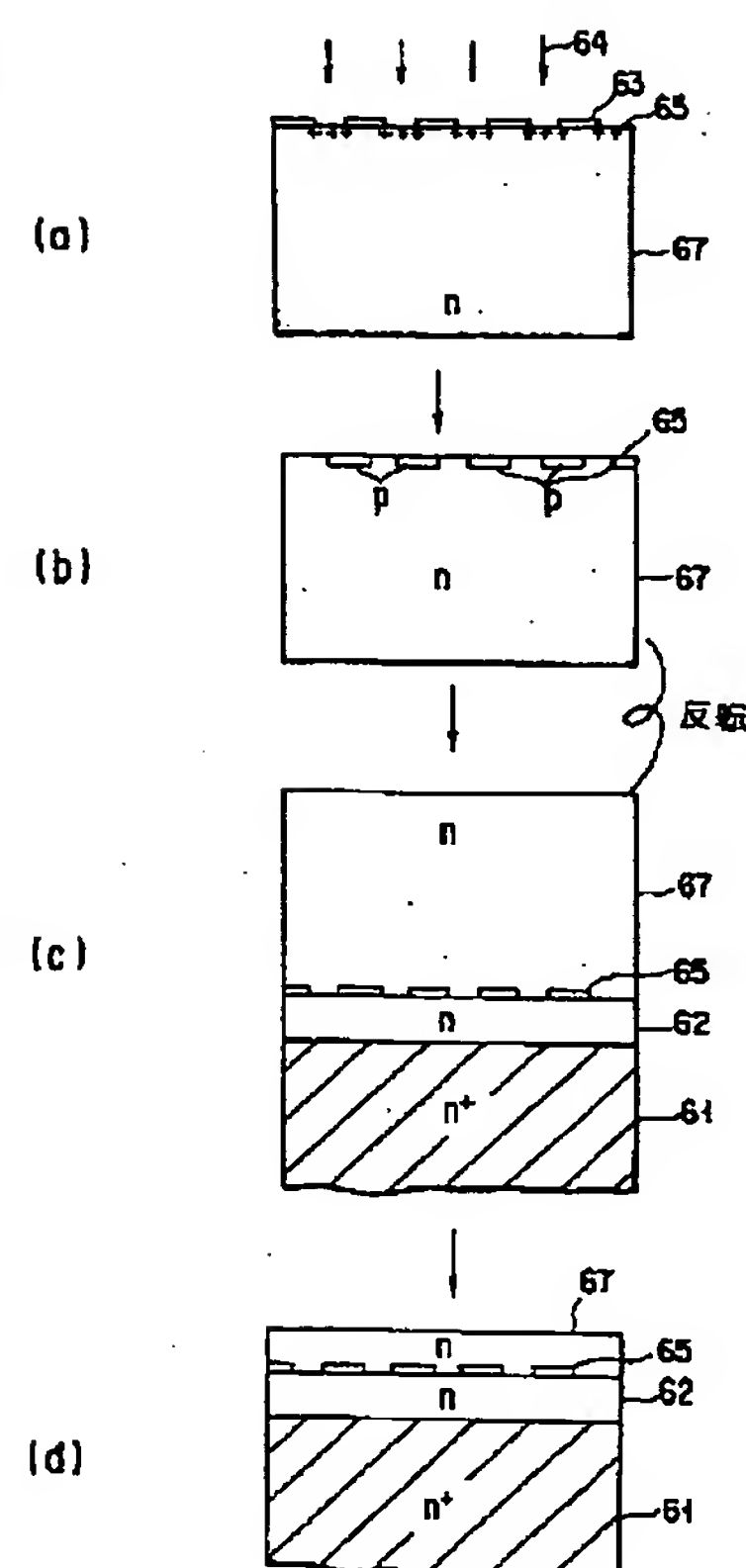
【図7】



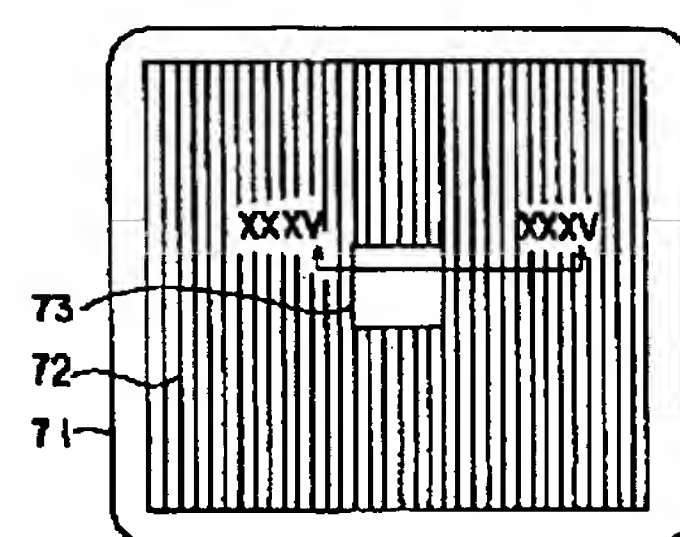
【図9】



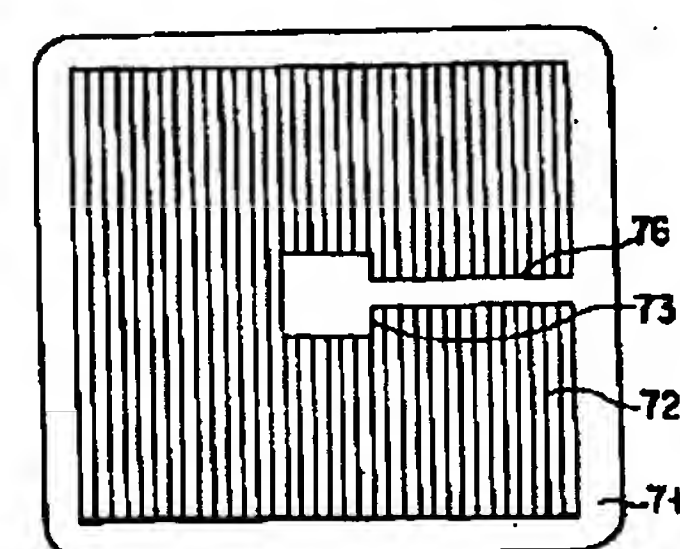
【図18】



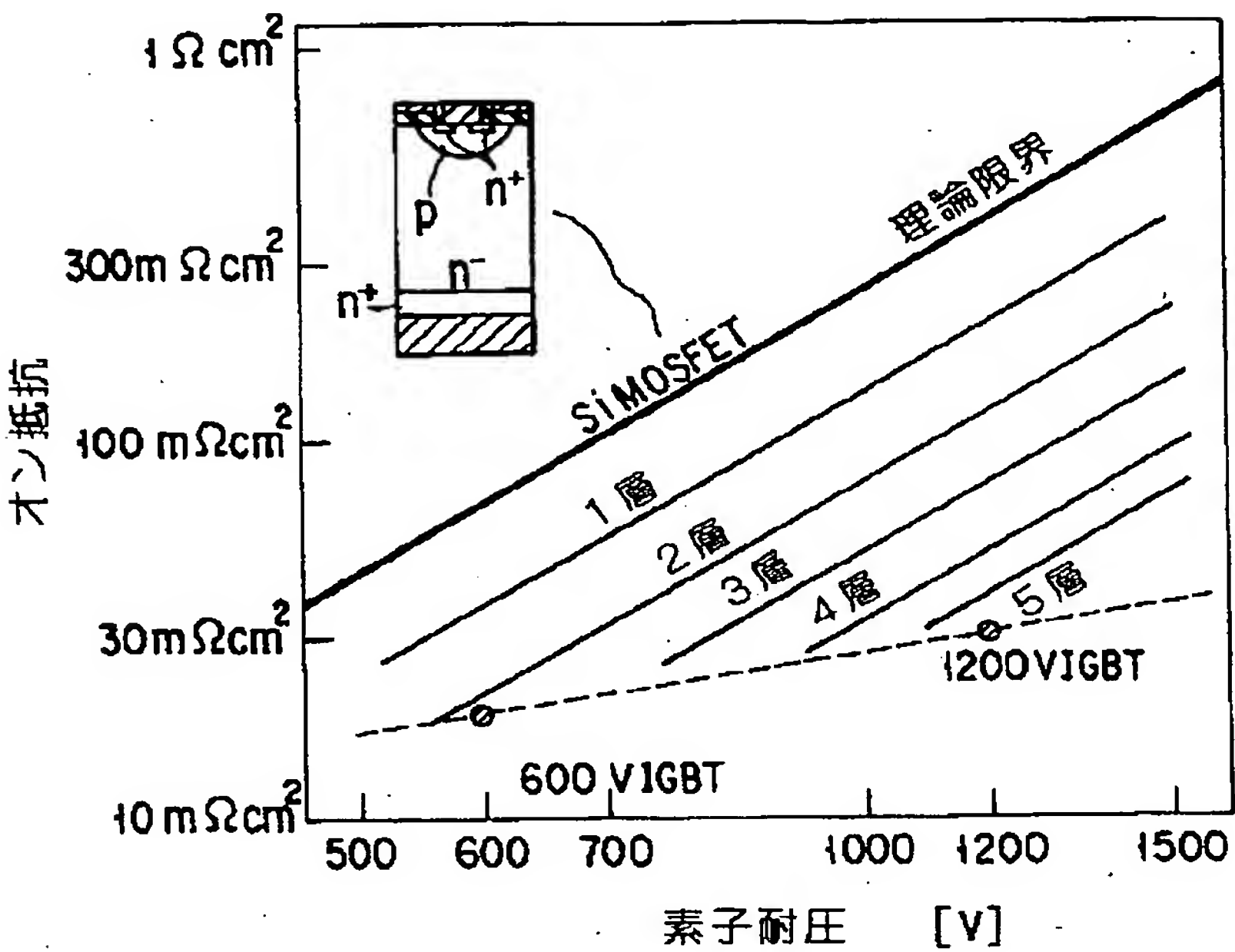
【図22】



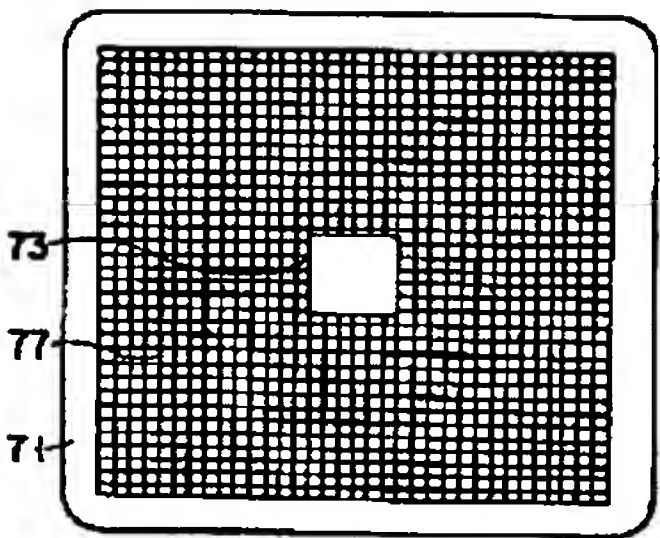
【図23】



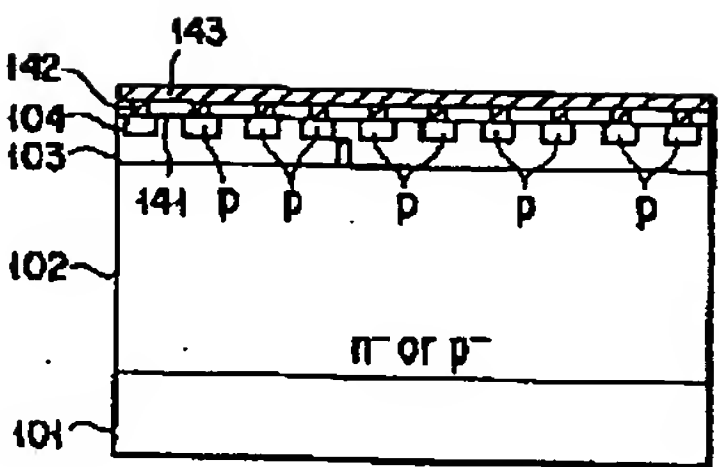
【図10】



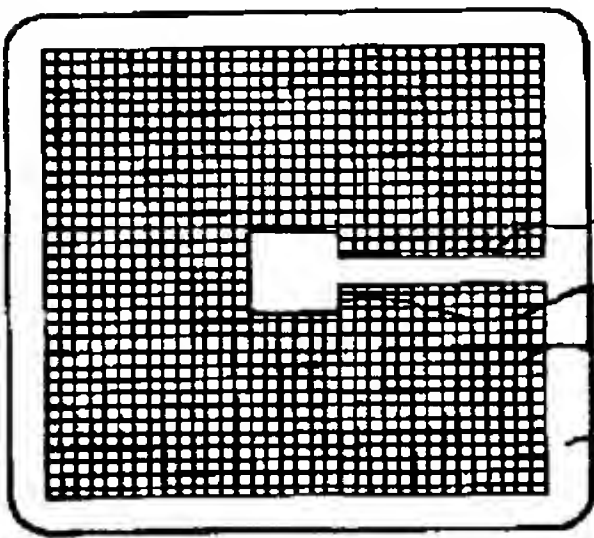
【図24】



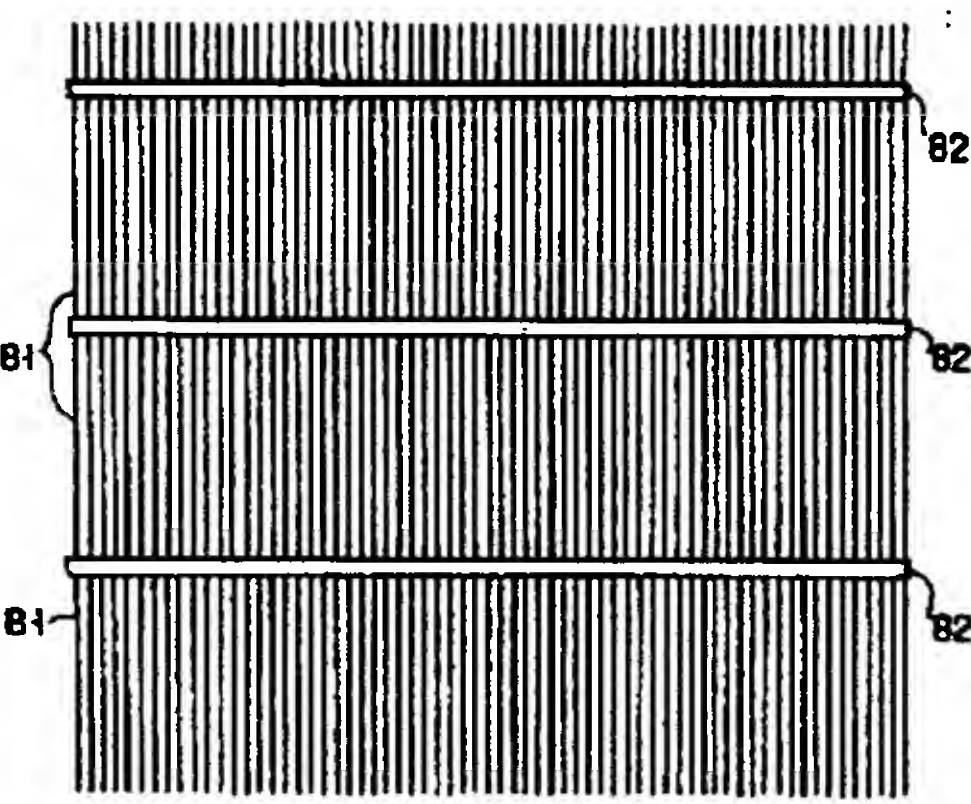
【図41】



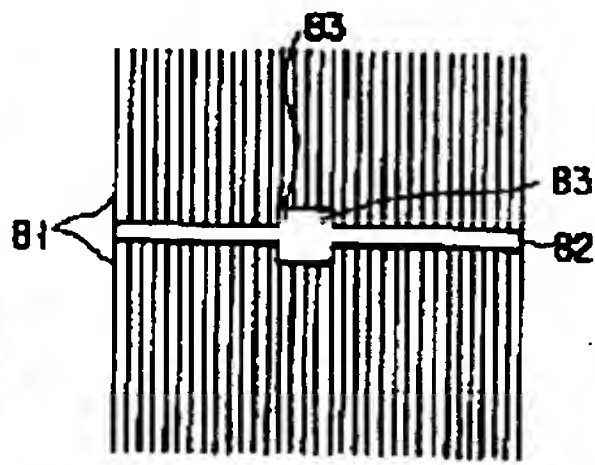
【図25】



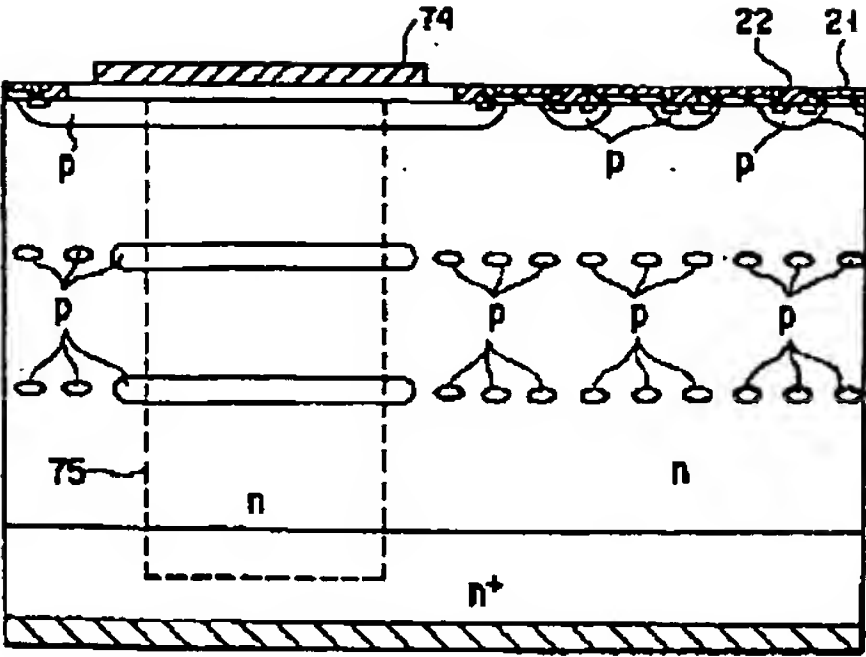
【図28】



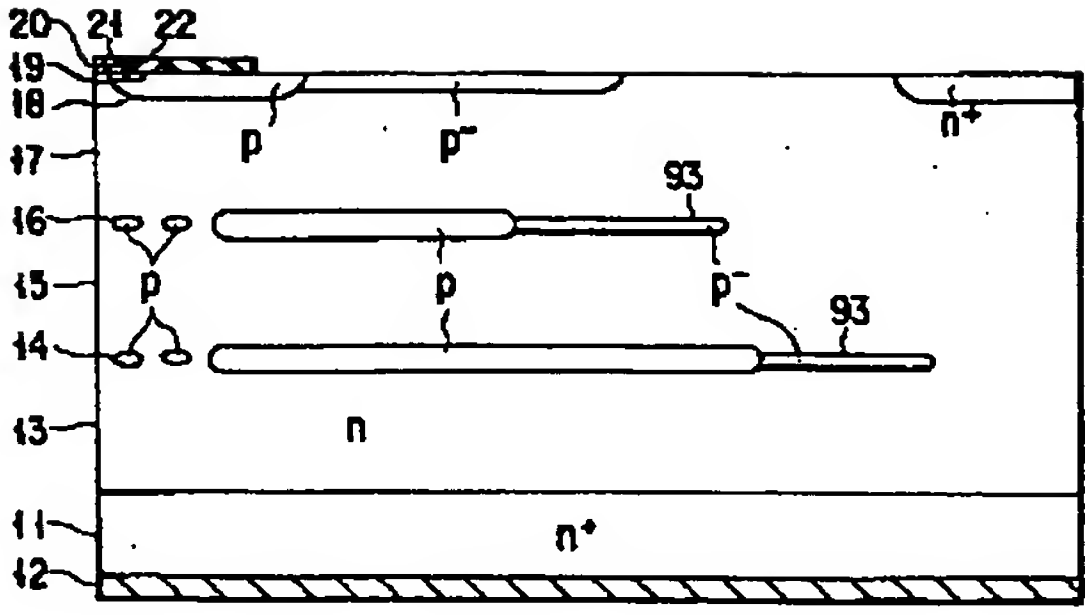
【図29】



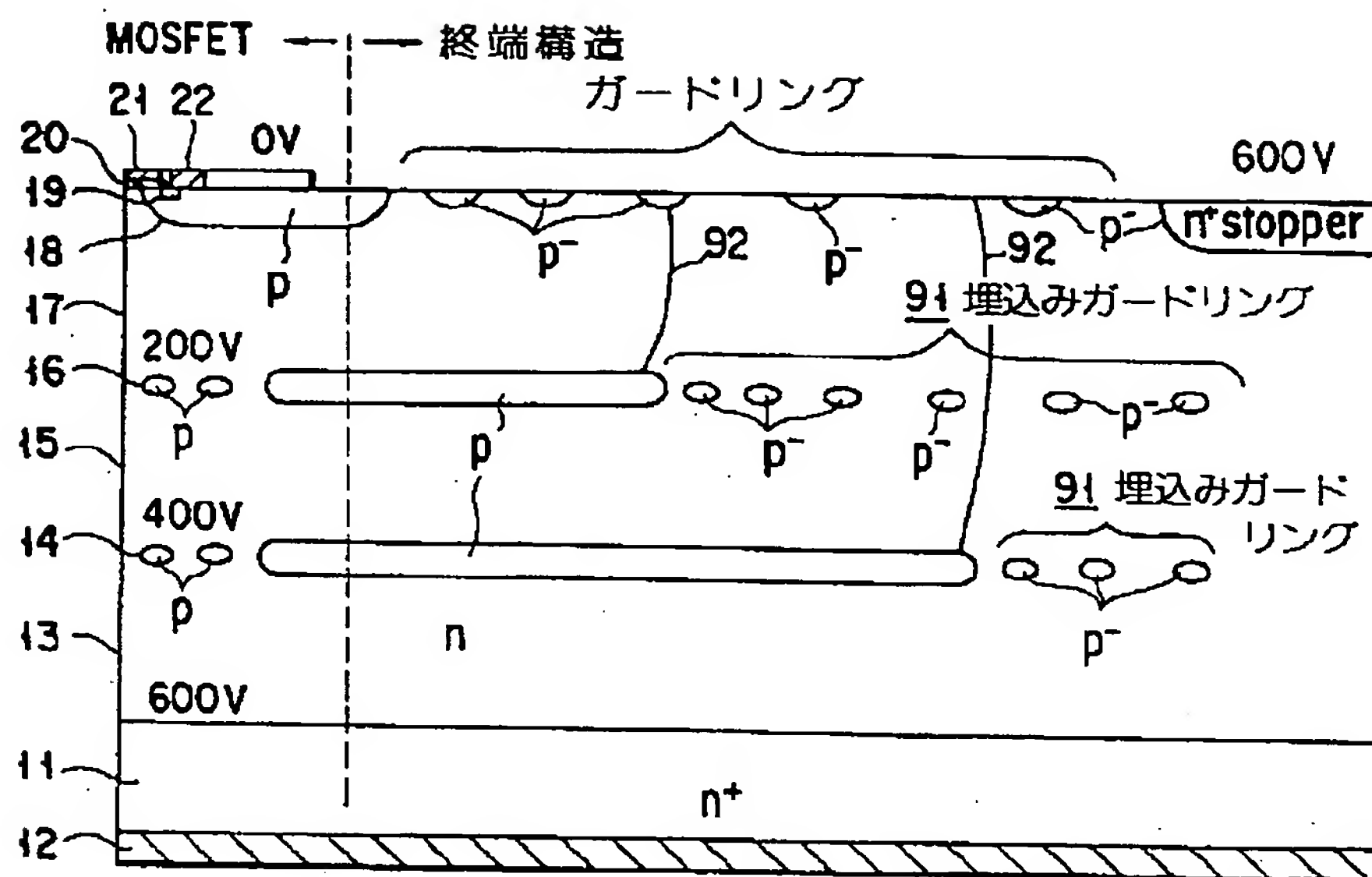
【図30】



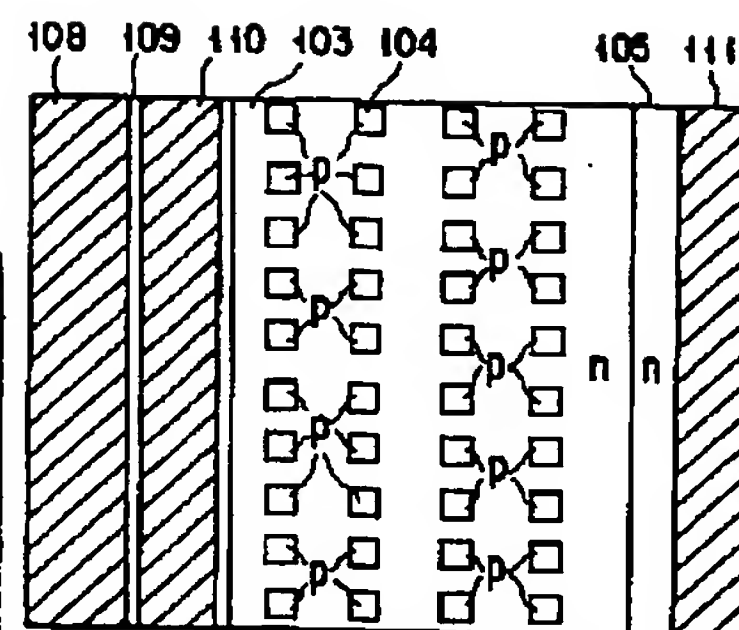
【図32】



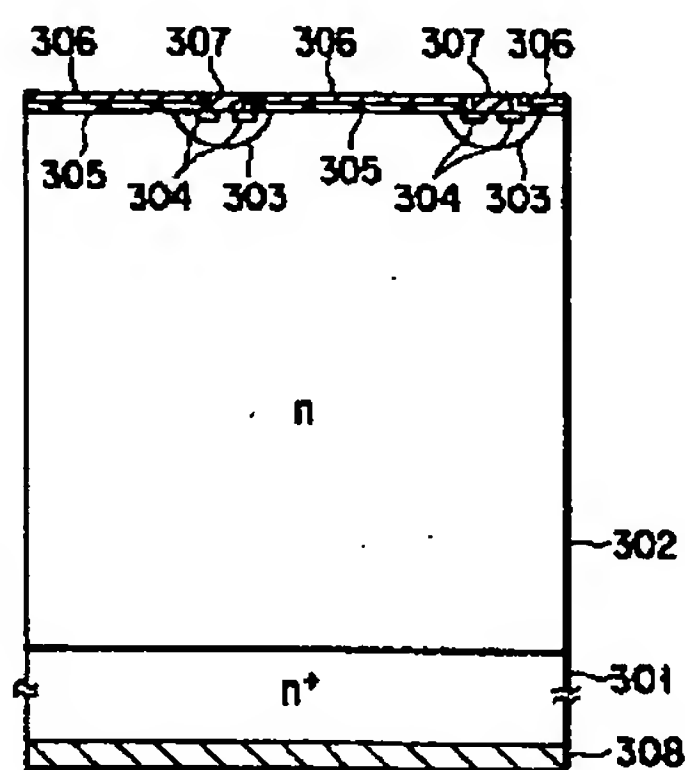
【図 3 1】



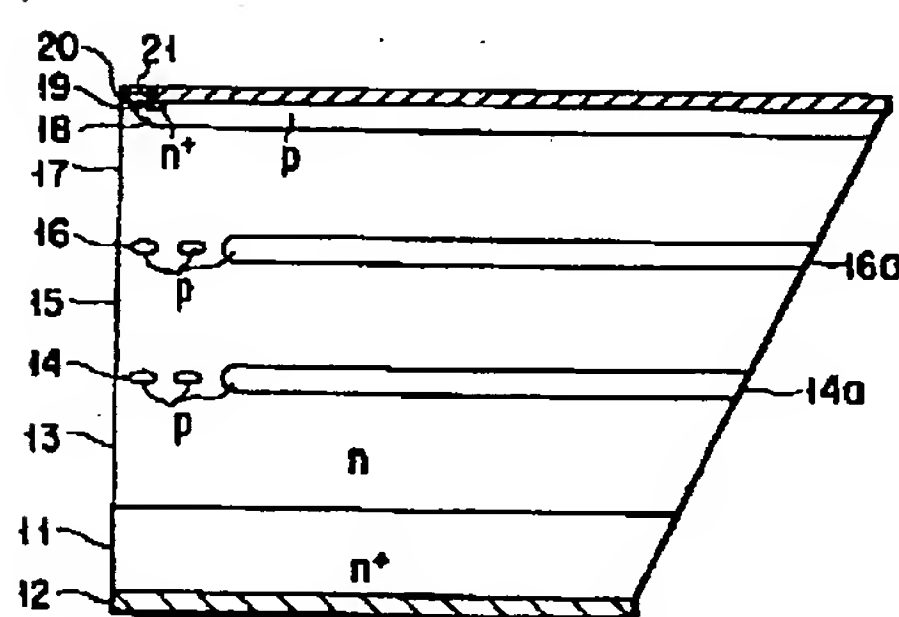
【图 3 6】



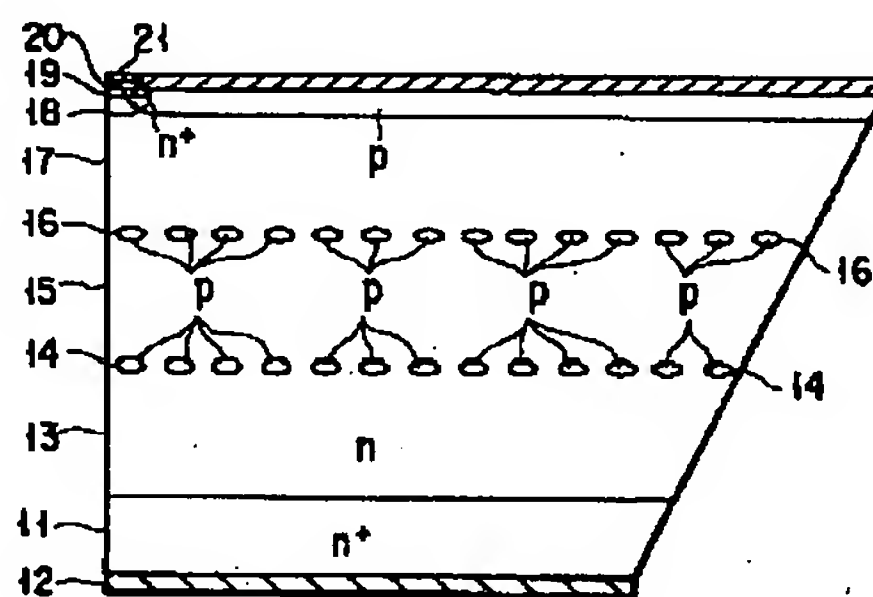
【図 49】



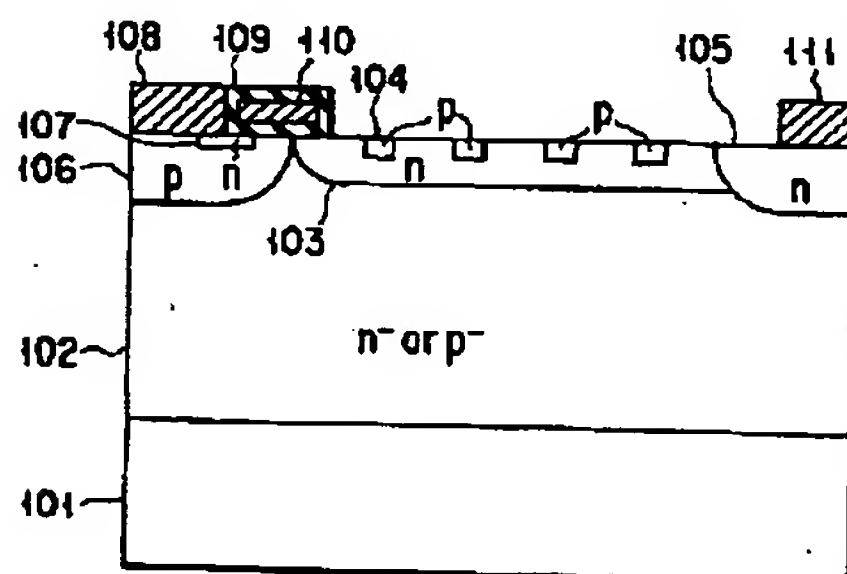
【図 3 3】



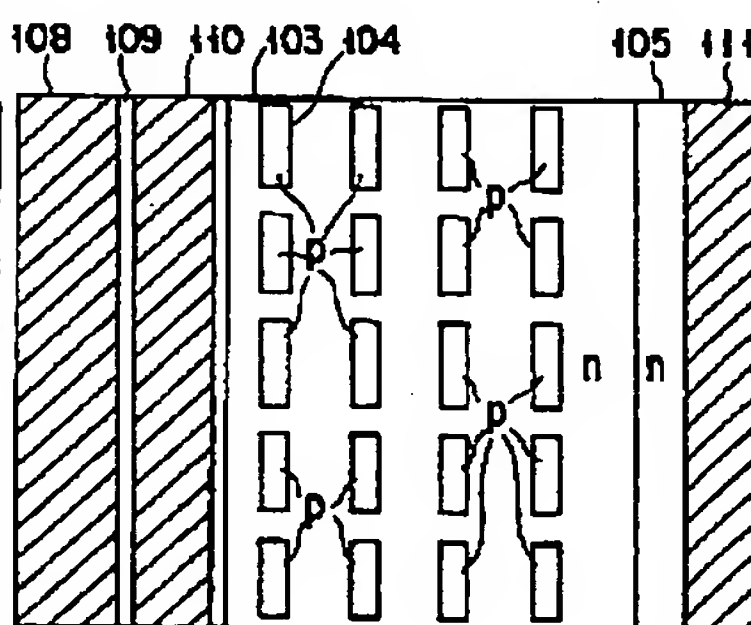
【図 3 4】



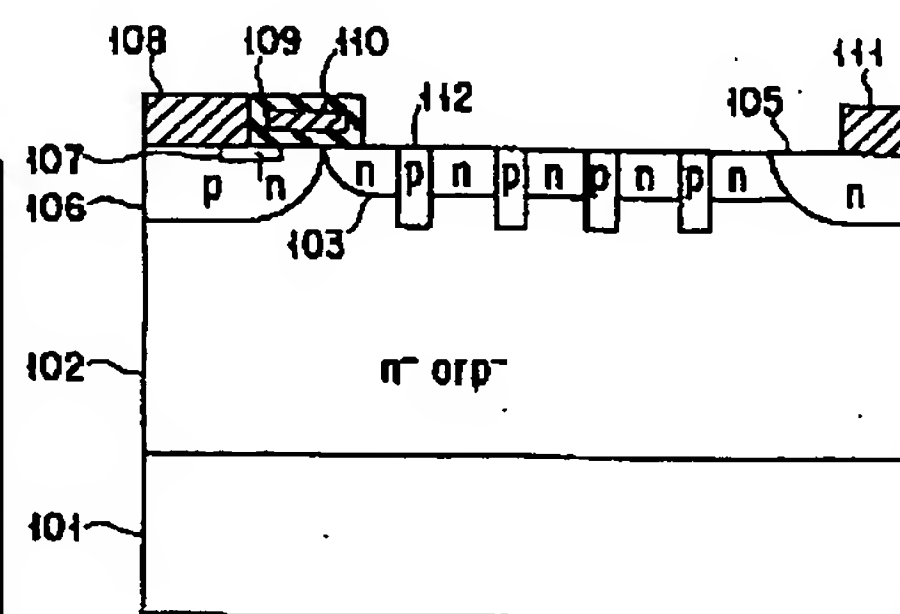
【例 35】



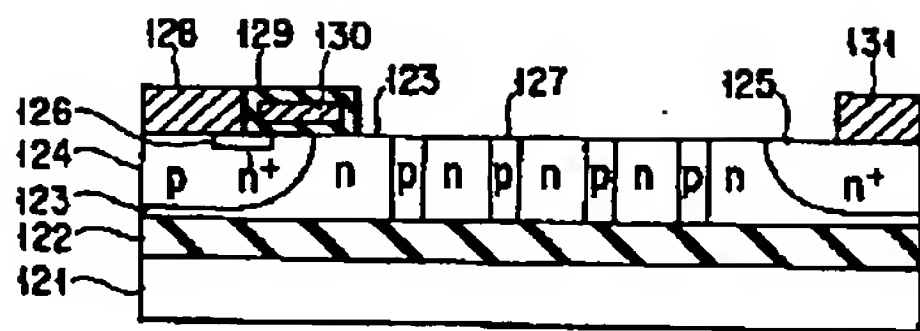
【图 3 7】



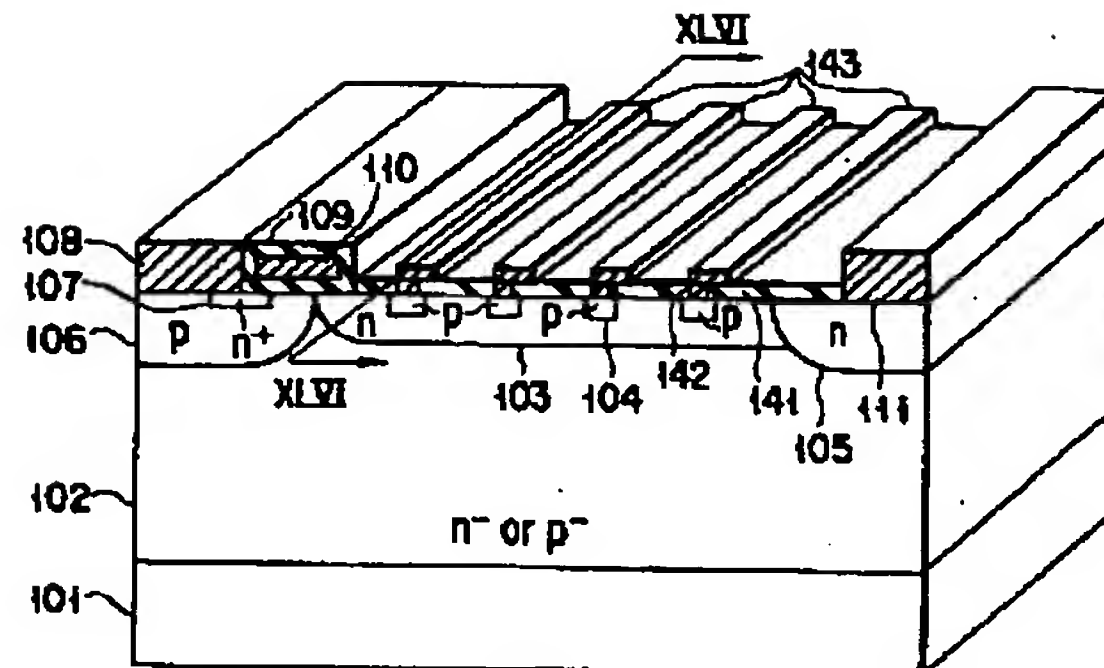
【図 38】



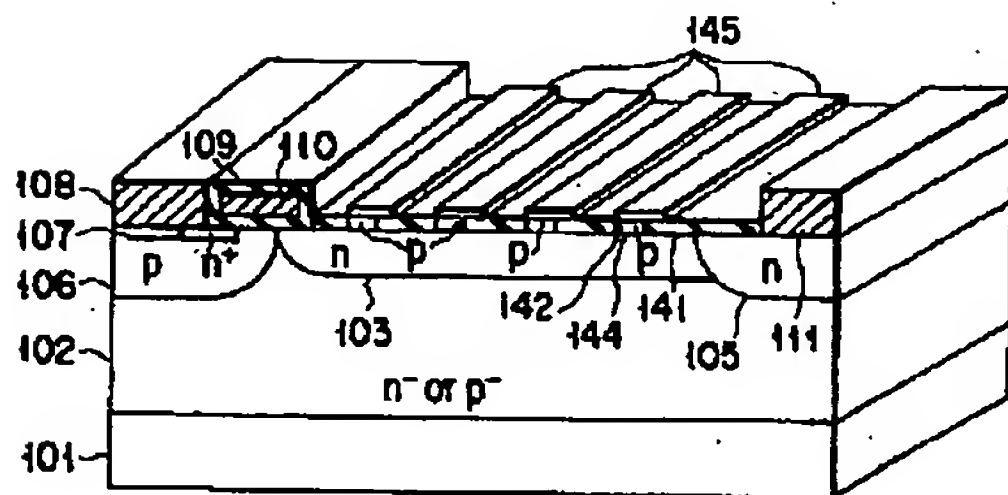
【図39】



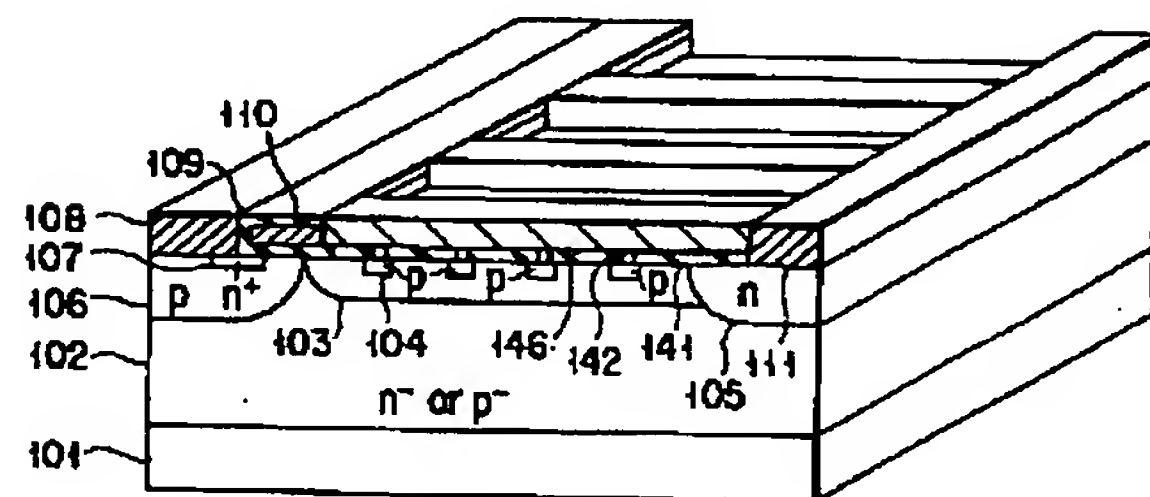
【図40】



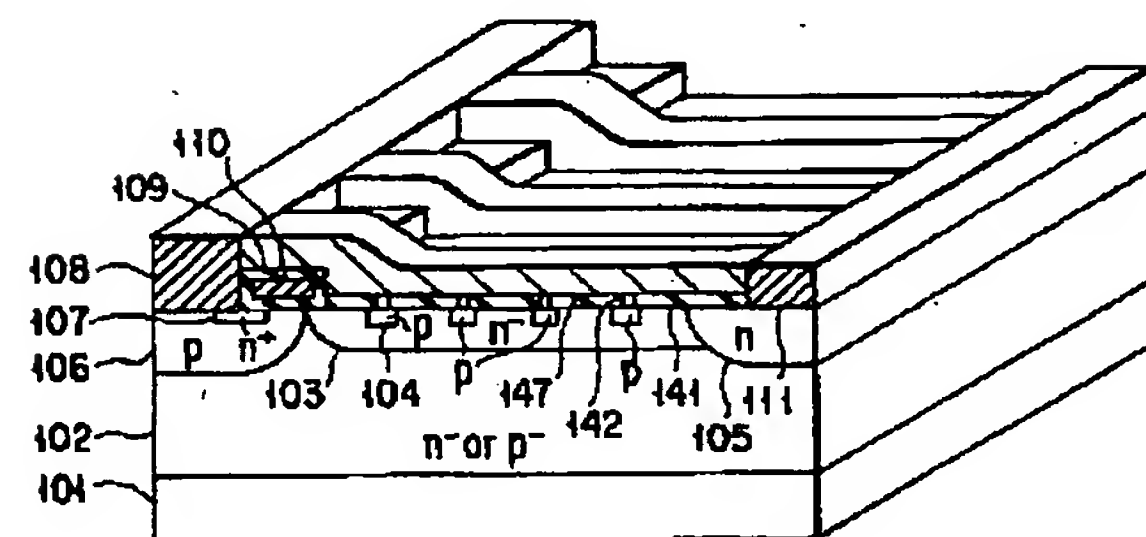
【図42】



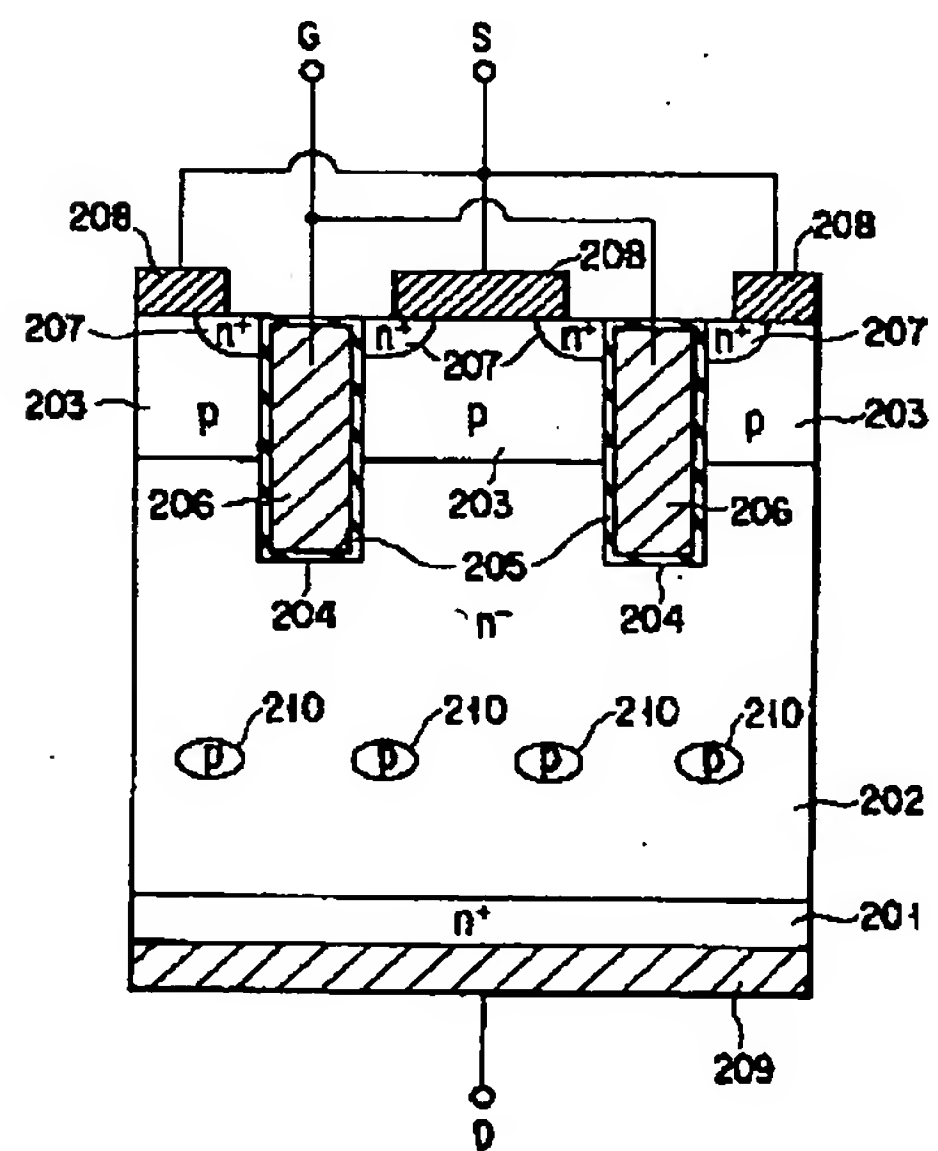
【図43】



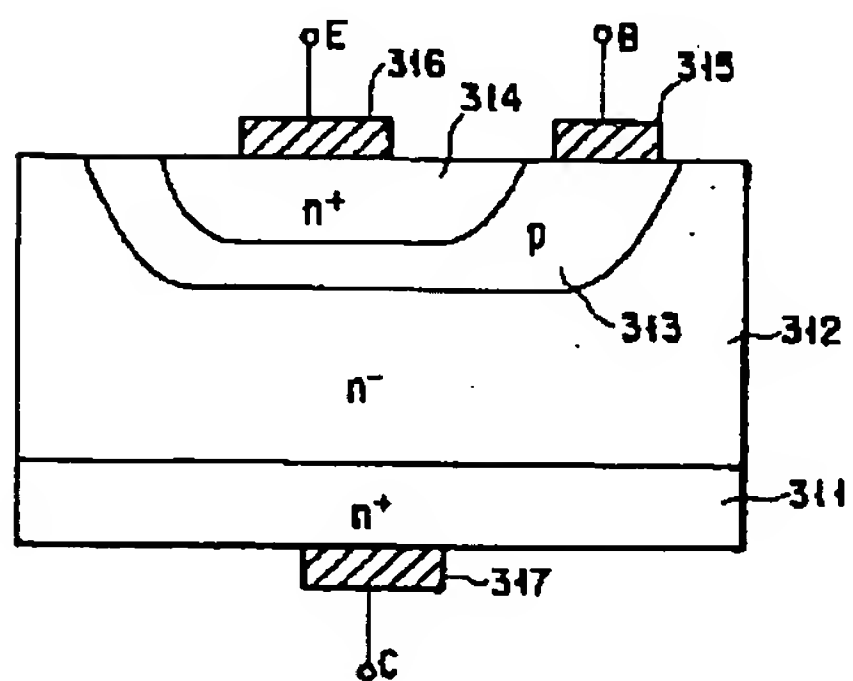
【図44】



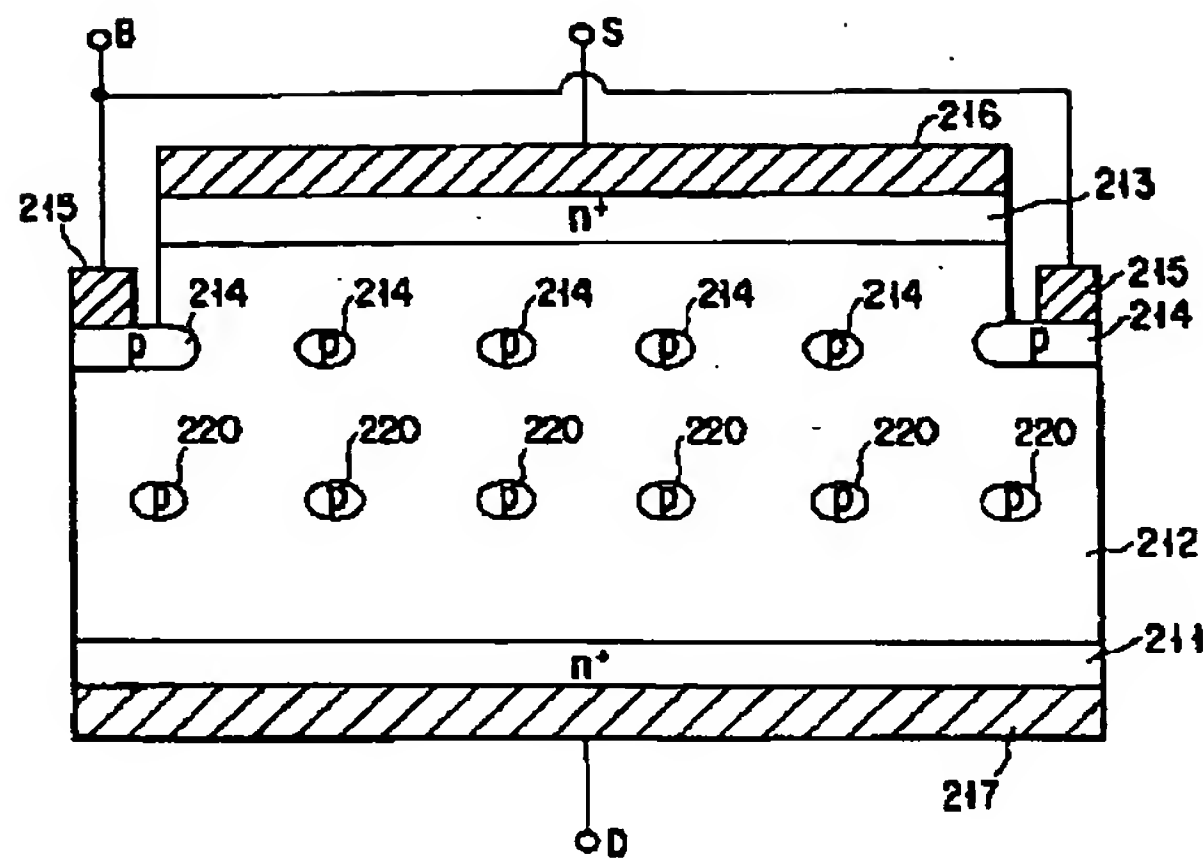
【図45】



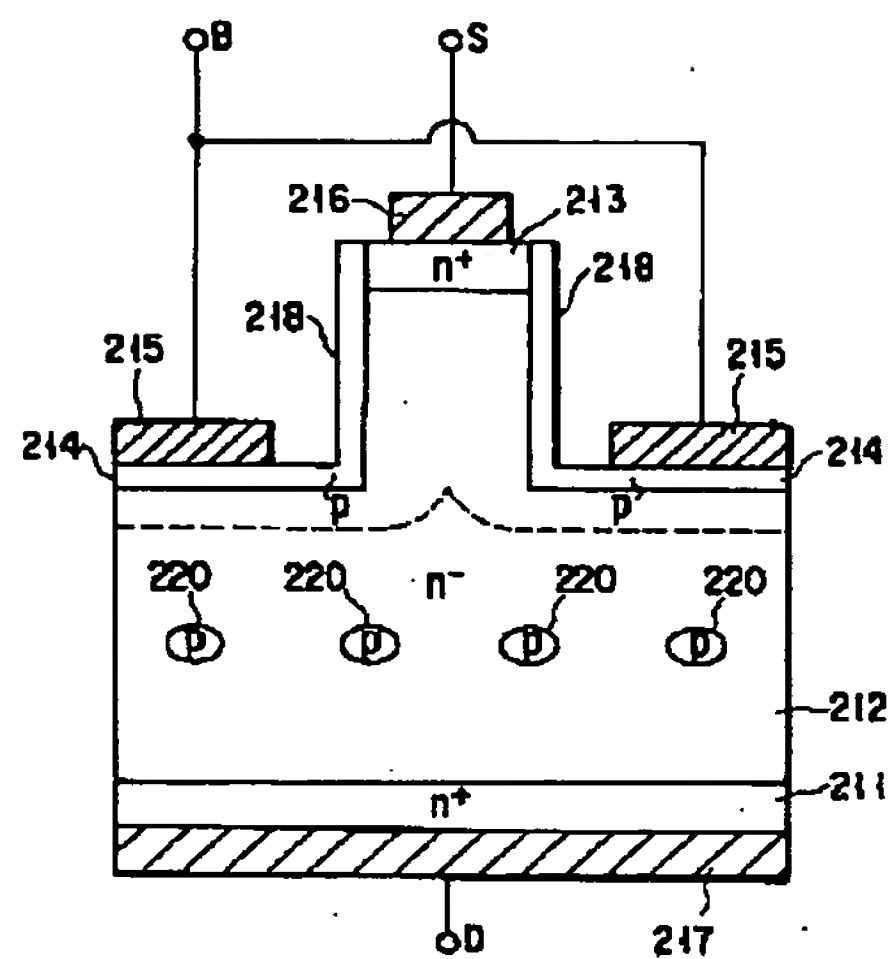
【図51】



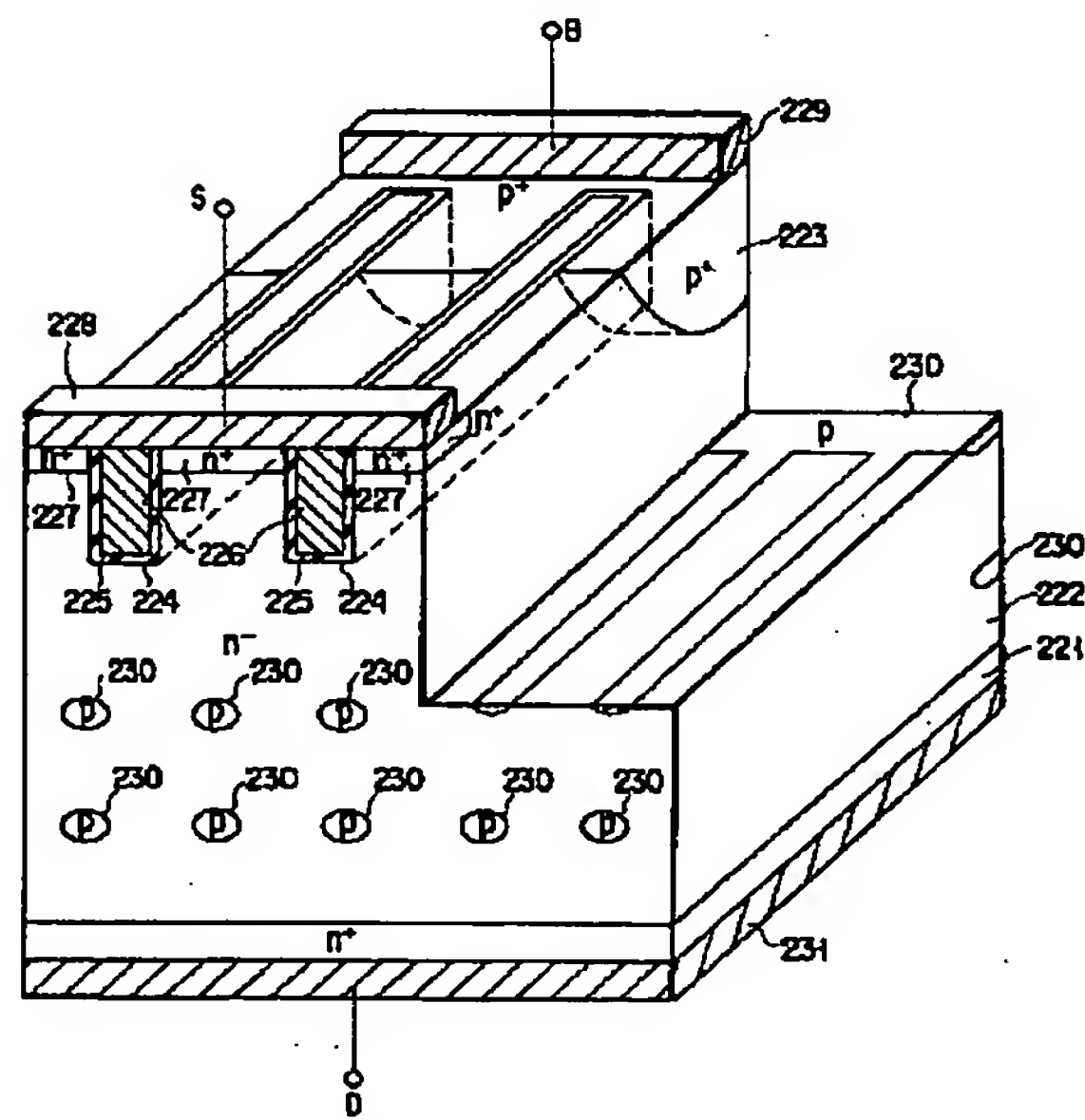
【図46】



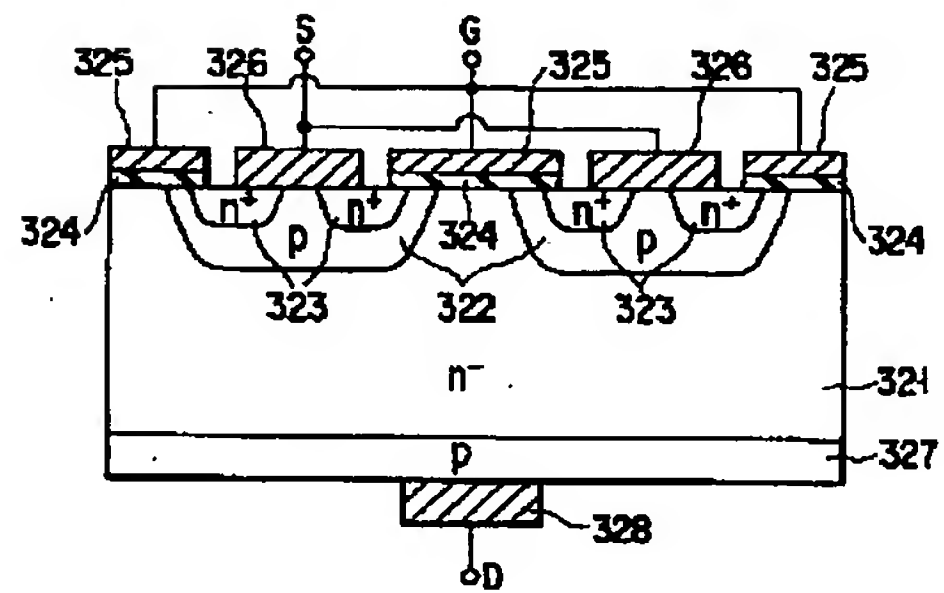
【図47】



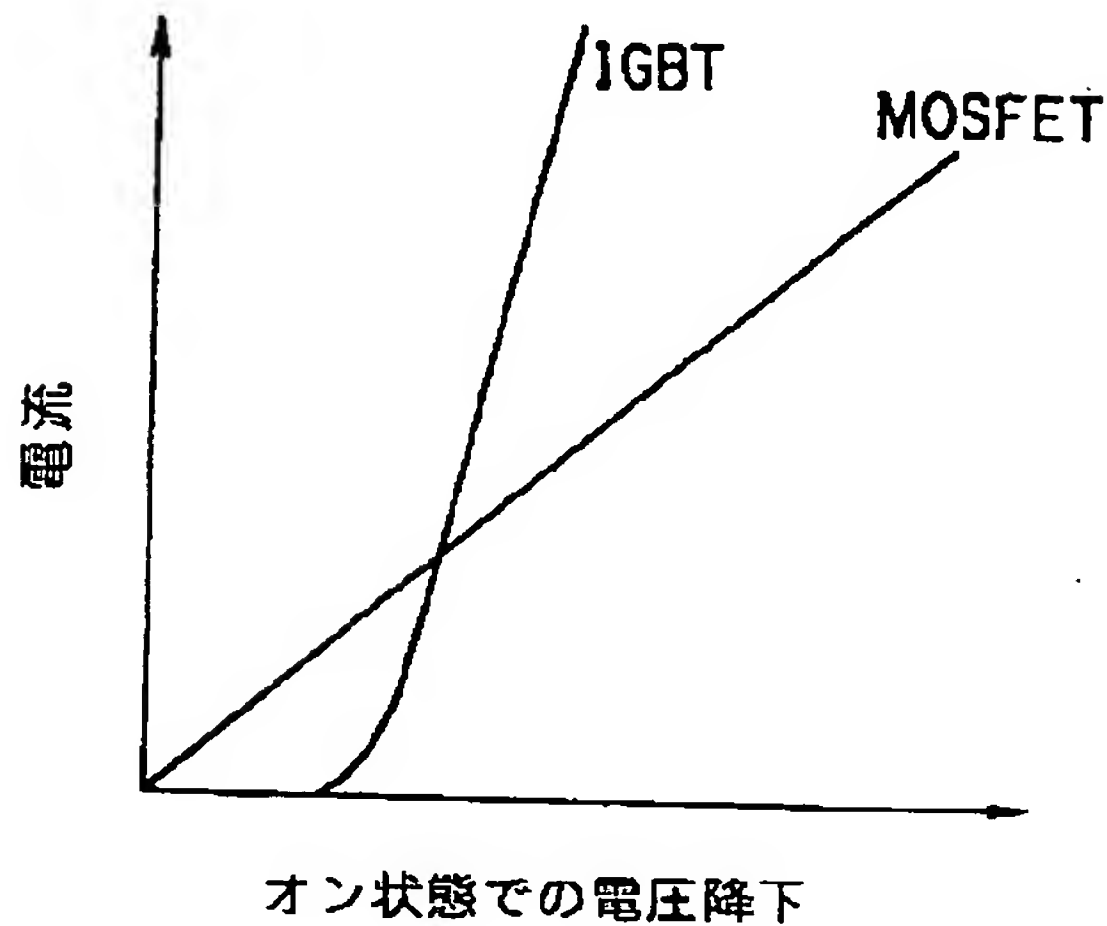
【図48】



【図52】



【図53】



【図50】

